

Основные характеристики

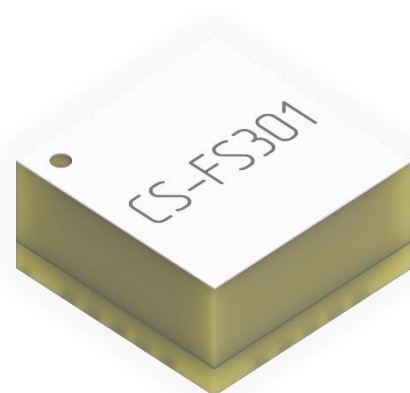
Особенности:

- Диапазон входных частот до 5,5 ГГц
- Частота сравнения до 60 МГц
- Опорная частота до 250 МГц
- Ток потребления не более 40 мА

Применение:

- Радиосвязь
- Радионавигация
- Радиолокация
- Генерация стабильной тактовой частоты

Аналог: ADF4106.



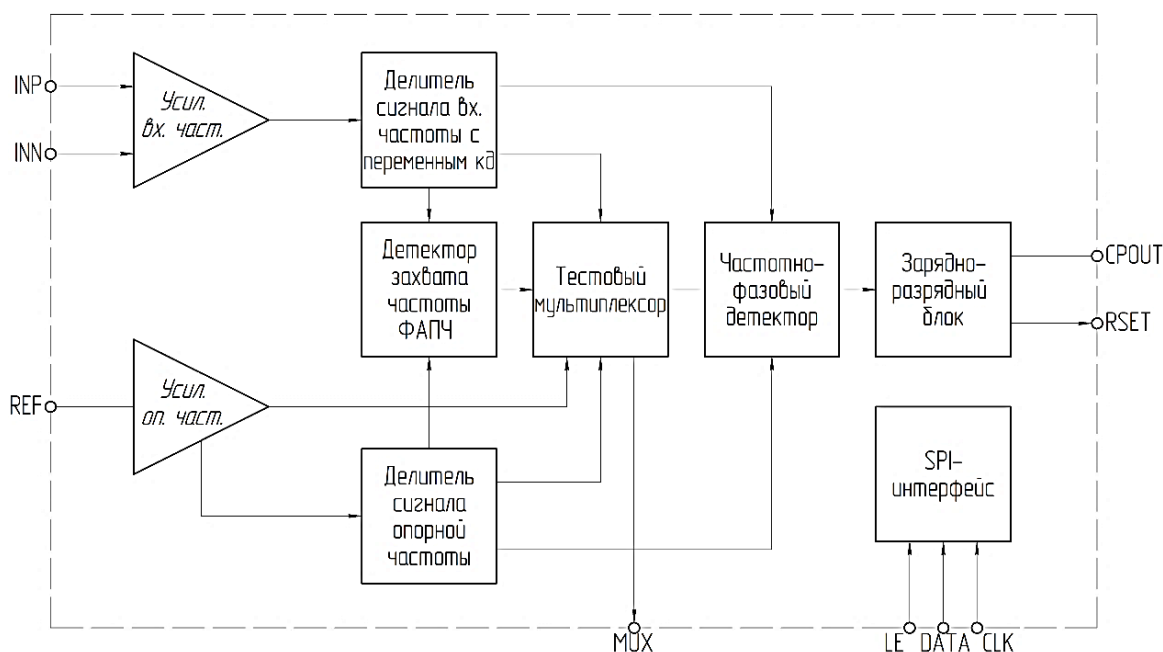
Описание

Микросхема CS-FS301 представляет собой целочисленный, малопотребляющий синтезатор частоты (СЧ) без встроенного генератора, управляемого напряжением (ГУН), предназначенный для работы в диапазоне частот до 5,5 ГГц.

Управление осуществляется через последовательный SPI-интерфейс.

Микросхема выполнена в компактном металлоорганическом корпусе с габаритными размерами 4,0 x 4,0 мм.

Структурная схема





Электрические параметры при $T = 25\text{ }^{\circ}\text{C}$

Наименование параметра, единица измерения	Норма параметра		
	Мин.	Типовое	Макс.
Ток потребления, мА ¹	–	30	40
Диапазон входных частот, ГГц ¹	–	0,4 - 5,5	–
Максимальная частота опорного сигнала, МГц ¹	–	120	–
Максимальная тактовая частота, МГц ¹	–	10	–
Максимальная частота сравнения частотно-фазового детектора, МГц ^{1,2,3}	–	60	–
Рассогласование токов в верхнем и нижнем плечах токового ключа, % ^{1,2,4}	–	–	10
Макс. втекающий ток зарядно-разрядного блока на выводе CP, мА ^{1,2}	–	2,8	–
Макс. вытекающий ток зарядно-разрядного блока на выводе CP, мА ^{1,2}	–	0,12	–
Мин. втекающий ток зарядно-разрядного блока на выводе CP, мкА ^{1,2}	–	-2,8	–
Мин. вытекающий ток зарядно-разрядного блока на выводе CP, мкА ^{1,2}	–	-0,12	–
Нормированный уровень собственных фазовых шумов, дБн/Гц ^{1,2,3}	–	-220	–
Нормированный уровень фазовых шумов в фликкер-зоне, дБн/Гц ^{1,2,3}	–	-104	–
Целая часть коэффициента деления основной частоты, ед.	56	–	8191
Коэффициент деления опорной частоты, ед.	2	–	64

Примечания:

1. Напряжение питания $U_{n1} = 3,3\text{ В}$, $U_{n2} = 3,3\text{ В}$.
2. Внешний токозадающий резистор $R_{set} = 1,5\text{ кОм}$;
3. Выходной ток зарядно-разрядного блока $I_{cp} = 2,8\text{ мА}$;
4. Напряжение питания на выходе зарядно-разрядного блока $U_{cp} = 0,5\text{ В}$ и $U_{cp} = 2,5\text{ В}$.

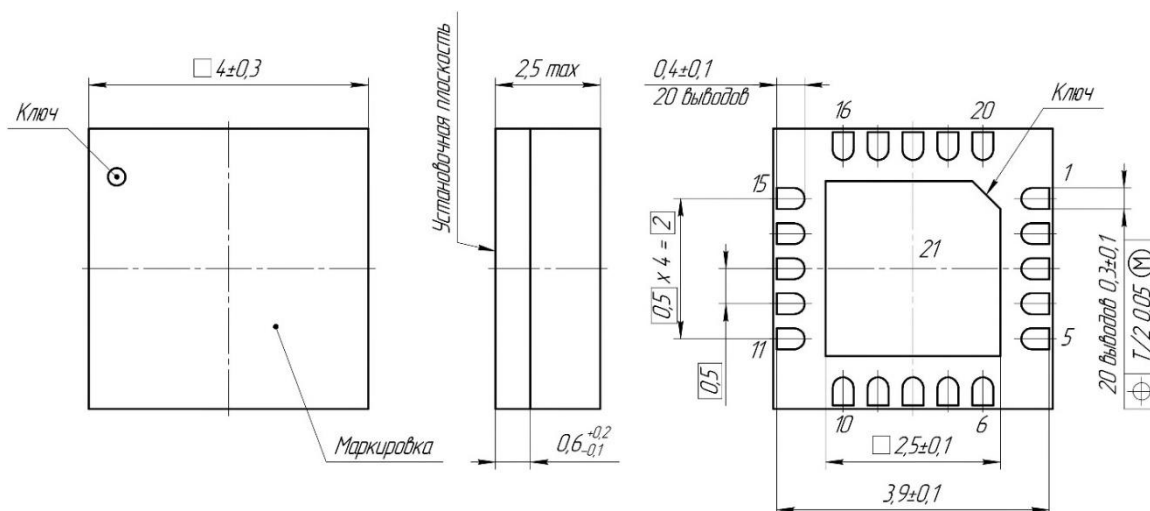
Предельно допустимый режим работы

Наименование параметра, единица измерения	Норма параметра			
	Предельно-допустимый режим		Предельный режим	
	Не менее	Не более	Не менее	Не более
Напряжение питания U_{n1} (аналоговое), В	3,15	3,45	–	3,6
Напряжение питания U_{n2} (цифровое), В	3,15	3,45	–	3,6
Входное напряжение высокого уровня на цифровых входах CLK, LE, DATA, В	$0,7 \cdot U_n$	U_n	–	3,6
Входное напряжение низкого уровня на цифровых входах CLK, LE, DATA, В	0	0,3	0	–
Входная мощность, дБм	-5	5	–	10
Входная мощность опорного сигнала, дБм	-5	10	–	12
Частота опорного сигнала, МГц	–	120	–	250

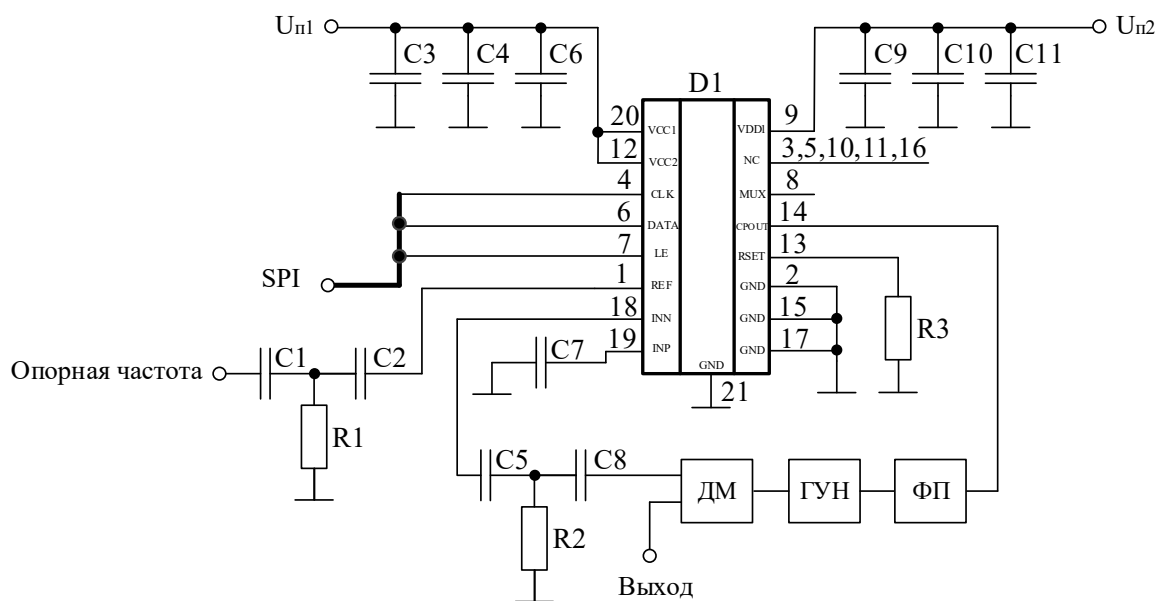
Примечания: не допускается одновременное воздействие двух и более предельных режимов.



Габаритный чертёж



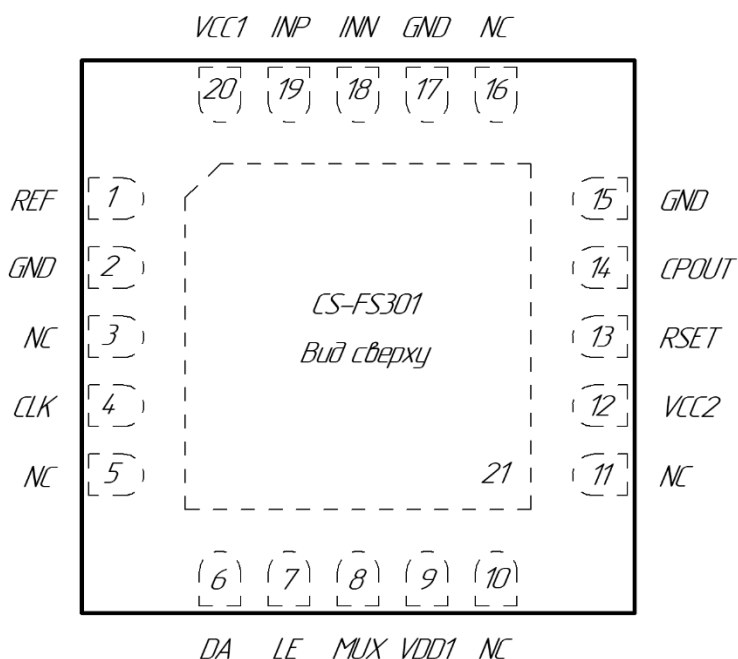
Типовая схема включения



- D1 – синтезатор CS-FS301;
- R1 = R2 – резисторы 51 Ом;
- R3 – резистор 1,5 кОм;
- C1 = C2 = C4 = C5 = C7 = C8 = C10 – керамические конденсаторы 100 нФ $\pm 10 \%$;
- C3 = C11 – керамические конденсаторы 1 мкФ $\pm 10 \%$;
- C6 = C9 – керамические конденсаторы 100 пФ $\pm 10 \%$;
- ДМ – делитель мощности СВЧ сигналов;
- ГУН – генератор, управляемый напряжением;
- ФП – фильтр петлевой.



Функциональное назначение выводов в корпусе



Номер вывода	Обозначение	Функциональное назначение
1	REF	Вход сигнала опорной частоты
2,15,17	GND	Общий
3,5,10,11,16	NC	Свободный
4	CLK	Вход тактового сигнала SPI-интерфейса
6	DA	Вход сигнала данных SPI-интерфейса
7	LE	Вход сигнала разрешения SPI-интерфейса
8	MUX	Выход тестового мультиплексора
9	VDD1	Напряжение питания цифровых блоков
12	VCC2	Напряжение питания зарядно-разрядного блока
13	RSET	Выход зарядно-разрядного блока
14	CPOUT	Вход сигнала разрешения SPI-интерфейса
15	MUXOUT	Выход тестового мультиплексора
18	INN	Вход сигнала инвертирующий
19	INP	Вход сигнала не инвертирующий
20	VCC1	Напряжение питания аналоговых блоков
21	GND	Общий (дно колодца)

ОПИСАНИЕ ФУНКЦИОНИРОВАНИЯ

1. Управление режимами работы синтезатора CS-FS301

Для управления режимами работы синтезатора CS-FS301 служит последовательный интерфейс SPI. Он организован на основе одного 48-разрядного управляющего регистра. Запись данных начинается при переходе сигнала LE (load enable) из логической единицы в логический ноль. С помощью сигнала CLK осуществляется синхронизация записи данных по входу DATA. Запись значений логических уровней, устанавливаемых на входе DATA, происходит по фронту сигнала CLK, запись начинается со старших битов. Перенос данных во внутренний управляющий регистр осуществляется после установки LE в логическую единицу. В синтезаторе CS-FS301 чтение данных из внутренних регистров не предусмотрено.

На рисунке 1 представлена диаграмма работы интерфейса SPI синтезатора CS-FS301.

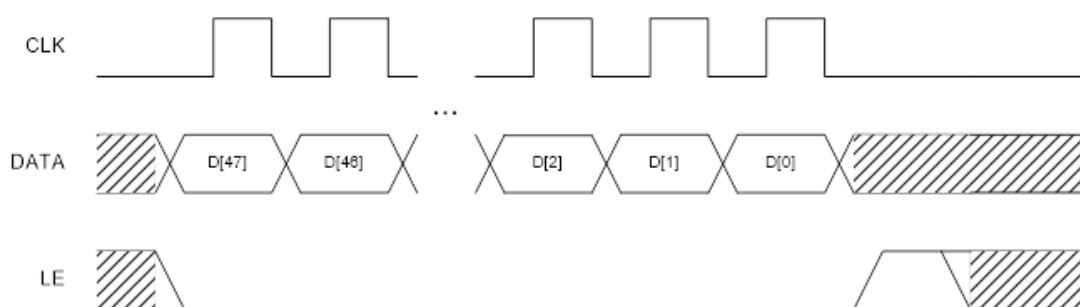


Рисунок 1

Запись данных осуществляется в течение 48 тактовых импульсов сигнала CLK, в течение которых сигнал на входе LE должен быть установлен на уровень логического нуля. По фронту сигнала CLK происходит запись значения логического уровня со входа DATA в промежуточный сдвиговый регистр. При этом ранее записанные значения сдвигаются на один бит, а новое значение бита со входа DATA записывается в младший бит сдвигового регистра. После перехода сигнала LE из логического нуля в логическую единицу происходит запись из промежуточного сдвигового регистра во внутренний управляющий регистр.

Таблица 1 – структура управляющего регистра для синтезатора CS-FS301.

Содержимое регистра	Назначение битов											
	Определение режима работы микросхемы	Определение режима работы предварительного делителя частоты		Управление секциями ЧДФ			Определение режима работы ЧФД и токовых ключей		Управление секциями токового ключа			К _{гун}
1	2	3		4			5		6			7
Номер бита	47	46	45	44	43	42	41	40	39	38	37	36
Обозначение бита	PLL_MODE	CH1	CH0	PFD1_EN	PFD2_EN	PFD3_EN	PFD_T1	PFD_T0	PFD1_C0	PFD2_C0	PFD3_C0	FB12



Продолжение таблицы 1

Содержимое регистра	Назначение битов											
	Управление коэффициентом деления входной частоты ($K_{гун}$)											
1	7											
Номер бита	35	34	33	32	31	30	29	28	27	26	25	24
Обозначение бита	FB11	FB10	FB9	FB8	FB7	FB6	FB5	FB4	FB3	FB2	FB1	FB0

Продолжение таблицы 1

Содержимое регистра	Назначение битов											
	Резервный	Управление коэффициентом деления опорного делителя						Определение режима задания тока секций токового ключа				
1	8	9						10				
Номер бита	23	22	21	20	19	18	17	16	15	14	13	12
Обозначение бита	–	RD5	RD4	RD3	RD2	RD1	RD0	CP1_CS1	CP1_CS0	CP2_CS	CP2_CM	CP3_CS

Продолжение таблицы 1

Содержимое регистра	Назначение битов											
	Определение режима задания тока токового ключа	Определение режима работы детектора захвата	Управление коэффициентом деления делителя детектора захвата					Резервный	Вкл/выкл Выходного мультиплексора	Определение режима работы выходного мультиплексора		
1	10	11	12					13	14	15		
Номер бита	11	10	9	8	7	6	5	4	3	2	1	0
Обозначение бита	CP4_CS	DLD_MODE	DLD_DIV4	DLD_DIV3	DLD_DIV2	DLD_DIV1	DLD_DIV0	–	MXE	MUX2	MUX1	MUX0

2. Управление мультиплексором:

- бит 3 (MXE) включает/выключает выходной мультиплексор. Если значение бита установлено в «0», то мультиплексор выключен (на выходе «0»), если в «1» – включен.

- биты 0–2 (MUX0, MUX1, MUX2) определяют режим работы выходного мультиплексора синтезатора CS-FS301 в соответствии с таблицей 2. В зависимости от значений данных бит на выходе мультиплексора могут быть сигналы REF – опорный сигнал, REF_DIV – поделенный опорный сигнал, FB_DIV – поделенный сигнал программируемого делителя входного сигнала, ALD – аналоговый детектор захвата, DLD – цифровой детектор захвата.

Таблица 2 – режимы работы выходного мультиплексора синтезатора CS-FS301

Обозначение и комбинации значений битов, определяющих режим работы			Режим работы выходного мультиплексора
MUX2	MUX1	MUX0	
0	0	0	REF
0	0	1	REF
0	1	0	REF_DIV
0	1	1	REF_DIV
1	0	0	FB_DIV
1	0	1	FB_DIV
1	1	0	ALD
1	1	1	DLD

- Биты 12, 13, 14, 15, 16 (CP3_CS, CP2_CM, CP2_CS, CP1_CS0, CP1_CS1) вместе с битами 37, 38, 39, 42, 43, 44 (PFD3_EN, PFD2_EN, PFD1_EN, PFD1_C0, PFD2_C0, PFD3_C0) позволяют регулировать ток зарядно-разрядного блока. При нормальном режиме работы требуется устанавливать в «1» только бит CP1_CS1, все остальные биты рекомендуется устанавливать в «0».
- Управление коэффициентом деления опорной частоты осуществляется битами 17–22 (RD0, RD1, RD2, RD3, RD4, RD5). Биты задают коэффициент деления опорной частоты по формуле

$$R = RD5 \cdot 2^5 + RD4 \cdot 2^4 + RD3 \cdot 2^3 + RD2 \cdot 2^2 + RD1 \cdot 2^1 + RD0 \cdot 2^0 \quad (1)$$

Исключениями являются комбинации:

- {R5, R4, R3, R2, R1, R0} = {0, 0, 0, 0, 0, 1} – недопустимый режим;
- {R5, R4, R3, R2, R1, R0} = {0, 0, 0, 0, 0, 0} – коэффициент деления равен 64. Таким образом, частота генератора, управляемого напряжением, f_{VCO} , на входе синтезатора CS-FS301 определяется по формуле:

$$f_{VCO} = f_{REF} \cdot (N / R), \quad (2)$$

где f_{REF} – частота опорного сигнала, МГц;

R – коэффициент деления опорной частоты, ед;

N – коэффициент деления частоты входного сигнала (программируемого делителя), ед.

Данная версия синтезатора CS-FS301 предназначена для использования с генераторами, имеющими положительную характеристику перестройки, то есть при увеличении управляющего напряжения выходная частота генератора увеличивается.

- Управление коэффициентом деления входной частоты (программируемого делителя) осуществляется битами 24–36 (FB0, FB1, FB2, FB3, FB4, FB5, FB6, FB7, FB8, FB9, FB10, FB11, FB12). Биты задают коэффициент деления частоты входного сигнала по формуле

$$N = FB12 \cdot 2^{12} + FB11 \cdot 2^{11} + FB10 \cdot 2^{10} + \dots + FB1 \cdot 2^1 + FB0 \cdot 2^0 \quad (3)$$

- Управление секциями токового ключа осуществляется битами 37, 38, 39 (PFD1_C0, PFD2_C0, PFD3_C0). Включение секции осуществляется установкой соответствующего бита в «1». При условии, что соответствующая секция ЧФД включена (установлен один из битов PFD3_EN, PFD2_EN,



PFD1_EN), установка бита управляющего секцией токового ключа под тем же номером, что и секция ЧФД в «1» увеличивает выходной ток токового ключа в соответствии с таблицей 3.

Таблица 3 – управление выходным током токового ключа синтезатора CS-FS301

Обозначение и комбинации значений битов, определяющих режим управления						Режим управления значением выходного тока*
PFD3_C0	PFD2_C0	PFD1_C0	PFD3_EN	PFD2_EN	PFD1_EN	
1	2	3	4	5	6	7
x	x	x	0	0	0	$0 \cdot I_o$
0	0	0	0	0	1	I_o
0	0	0	0	1	1	$2 \cdot I_o$
0	0	0	1	1	1	$3 \cdot I_o$
0	0	1	1	1	1	$4 \cdot I_o$
0	1	1	1	1	1	$5 \cdot I_o$
1	1	1	1	1	1	$6 \cdot I_o$
0	0	1	0	0	1	$2 \cdot I_o$
1	2	3	4	5	6	7
0	0	1	0	1	1	$3 \cdot I_o$
0	1	1	0	1	1	$4 \cdot I_o$
0	0	0	0	1	0	I_o
0	0	0	1	1	0	$2 \cdot I_o$
0	1	0	1	1	0	$3 \cdot I_o$
1	1	0	1	1	0	$4 \cdot I_o$
0	1	0	0	1	0	$2 \cdot I_o$
0	0	0	1	0	0	I_o
1	0	0	1	0	0	$2 \cdot I_o$

* I_o – значение минимального шага настройки тока зарядно-разрядного блока, мА, которое определяется по формуле

$$I_o = 0,7 / R_{set}, (4)$$

где R_{set} – номинал внешнего токозадающего резистора, кОм.

Для корректной работы первой секции токового ключа требуется, чтобы бит 16 (CP1_CS1) был установлен в «1», а бит 15 (CP1_CS0) был установлен в «0».

7. Режим работы частотно-фазового детектора (ЧФД) и соответствующего токового ключа определяют биты 40, 41 (PFD_T0, PFD_T1) в соответствии с таблицей 4.

Таблица 4 – режимы работы ЧФД и токового ключа синтезатора CS-FS301

Обозначение и комбинации значений битов, определяющих режим работы		Режим работы ЧФД и токового ключа
PFD_T1	PFD_T0	
0	0	Ток выключен, $I_{cp} = 0$
0	1	Втекающий ток
1	0	Вытекающий ток
1	1	Рабочий режим



8. Управление включением/выключением секций ЧФД осуществляется битами 42, 43, 44 (PFD1_EN, PFD2_EN, PFD3_EN). Включение секции осуществляется установкой соответствующего бита в «1». Включение каждой секции добавляет значение тока I₀, рассчитанного по формуле 4, к выходному току токового ключа.

Для корректной работы первой секции ЧФД требуется, чтобы бит 16 (CP1_CS1) был установлен в «1», а бит 15 (CP1_CS0) был установлен в «0».

9. Режим работы предварительного делителя частоты определяют биты 45, 46 (CH0, CH1) в соответствии с таблицей 5.

Таблица 5 – режимы работы предварительного делителя синтезатора CS-FS301

Обозначение и комбинации значений битов, определяющих режим работы		Режимы работы предварительного делителя
CH1	CH0	
0	0	8/9
0	1	16/17
1	0	Недопустимый режим
1	1	32/33

Режим работы «8/9» может использоваться при частотах входного сигнала не более 1 000 МГц, режим работы «16/17» может использоваться при частотах не более 2 000 МГц, при частотах выше 2 000 МГц режим работы (коэффициент деления) должен быть установлен «32/33».

10. Режим работы синтезатора CS-FS301 определяет бит 47 (PLL_MODE). Для обеспечения корректного режима работы синтезатора необходимо установить данный бит в значение «0».
11. Диапазон значений коэффициента деления частоты входного сигнала $K_{гун}$ синтезатора CS-FS301 – от значения $K_{гун \min}$ до 8191 ед. Минимальное значение коэффициента деления $K_{гун \min}$ рассчитывается по формуле

$$K_{гун \min} = P^2 - P, (5)$$

где P – меньшее значение коэффициента деления двухмодульного предварительного делителя (доступные значения 8/9, 16/17, 32/33), ед.

12. Выходной ток на выходе тестового мультиплексора MUX – не более ± 1 мА.
13. Тактовая частота интерфейса программирования на входе CLK – не более 1 МГц для сигнала с формой меандра.