

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

- Диапазон выходных частот 23,5 – 12 000 МГц;
- Опорная частота до 200 МГц;
- Частота фазового детектора в целочисленном режиме до 100 МГц;
- Частота фазового детектора в дробном режиме до 50 МГц;
- Фазовый шум ГУН (на выходной частоте 6 ГГц и отстройке 1 МГц) минус 118 дБн/Гц;
- Нормированный уровень собственных шумов в целочисленном режиме минус 226 дБн/Гц;
- Встроенные функции "предотвращение проскальзывания циклов" и быстрого захвата частоты;
- Мультирежимный сигма-дельта модулятор;
- Время калибровки ГУН не более 40 мкс;
- Напряжение питания от 3,0 до 3,6 В;
- Динамический ток потребления не более 360 мА;
- Температурный диапазон от -45°C до +85°C.

Этап жизненного цикла: [экспериментальный образец.](#)

Аналоги: ADF5355, ADF5356

КРАТКОЕ ОПИСАНИЕ

Модуль iFSY-320-MO представляет собой синтезатор частоты с целочисленным и дробным режимом работы, встроенным генератором, управляемым напряжением (от 3 до 6 ГГц) и умножителем частоты, который в сочетании с внешним петлевым фильтром образует законченную петлю ФАПЧ.

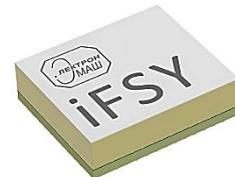
Способен формировать сигнал с частотой от 23,5 МГц до 6 ГГц на дифференциальных СВЧ-выходах «OUT1P», «OUT1N», а также сигнал с частотой от 6 до 12 ГГц на синфазном СВЧ-выходе «OUT2» после умножителя.

Помимо СВЧ-выходов сигнал частотой до 800 МГц можно получить на выходе стандарта LVDS («OUTLVDSP», «OUTLVDSN»), а также КМОП-сигнал частотой до 250 МГц — на выходе «OUTCMOS».

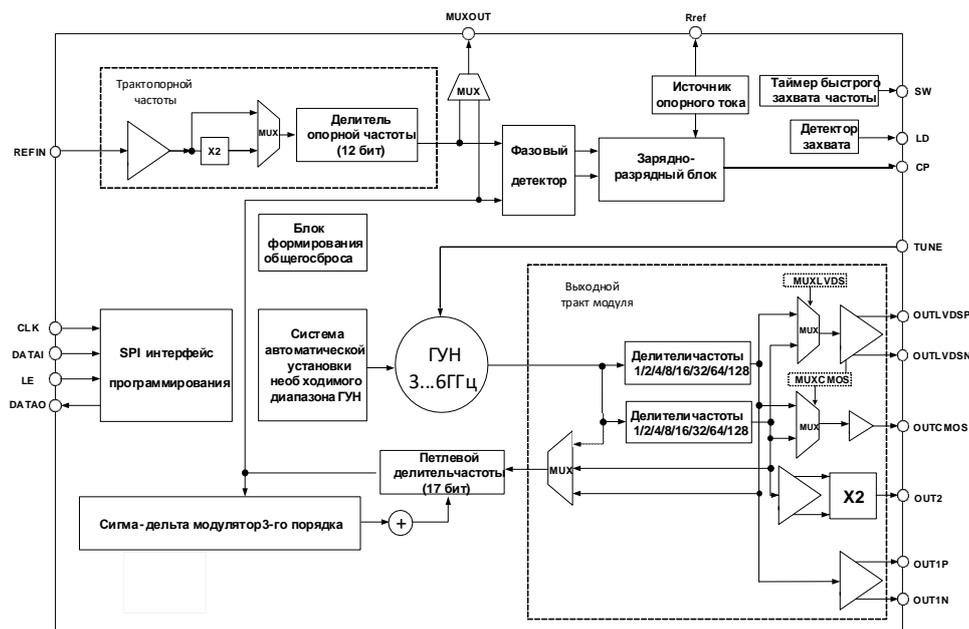
Управление модулем осуществляется через последовательный SPI-интерфейс. Модуль выполнен в компактном металлогорническом корпусе с габаритными размерами 6,5х7,5 мм².

ПРИМЕНЕНИЕ

- Радиосвязь
- Радионавигация
- Радиолокация
- Генерация стабильной тактовой частоты



СТРУКТУРНАЯ БЛОК-СХЕМА



**Электрические параметры при T= 25 °C**

Параметр, единица измерения	Режим	Не менее	Не более
Выходное напряжение высокого уровня, В, на выводе MUXOUT, DATA0, OUTCMOS, LD	Uп = 3,3В	2,8	—
Выходное напряжение низкого уровня, В, на выводе MUXOUT, DATA0, OUTCMOS, LD	Uп = 3,3В	—	0,2
Дифференциальное выходное напряжение, мВ, на LVDS выходе	Uп = 3,3В	247	454
Синфазное напряжение, В, на LVDS выходе		1,1	1,4
Динамический ток потребления, мА	f _{RF} = f _{LVDS} = f _{CMOS} = 23,4375 МГц, Uп = 3,3В	—	360
Динамический ток потребления, мА	f _{RF} = 6 ГГц, f _{LVDS} = f _{CMOS} = 0 МГц, Uп = 3,3В	—	250
Ток потребления в режиме пониженного энергопотребления, мкА	Uп = 3,3В	—	50
Ток утечки высокого уровня, мкА, на цифровых входах CLK, DATAI, LE, nRESET, CE, MUTE	Uп = 3,3В	-1,0	1,0
Ток утечки низкого уровня, мкА, на цифровых входах CLK, DATAI, LE, nRESET, CE, MUTE	Uп = 3,3В	-1,0	1,0
Максимальный выходной втекающий ток зарядно-разрядного блока, мА, на выводе CP	R _{REF} = 5,23 кОм, Uп = 3,3В	4,59	5,76
Минимальный выходной втекающий ток зарядно-разрядного блока, мкА, на выводе CP	R _{REF} = 5,23 кОм, Uп = 3,3В	143	182
Максимальный выходной вытекающий ток зарядно-разрядного блока, мА, на выводе CP	R _{REF} = 5,23 кОм, Uп = 3,3В	-5,76	-4,59
Минимальный выходной вытекающий ток зарядно-разрядного блока, мкА, на выводе CP	R _{REF} = 5,23 кОм, Uп = 3,3В	-182	-143
Входной ток высокого уровня, мкА, на входе REFIN	Uп = 3,3В	—	60
Входной ток низкого уровня, мкА, на входе REFIN	Uп = 3,3В	-60	—
Мощность дифференциального выходного сигнала на выходах OUT1P и OUT1N, дБм	BPWR = 3 f _{RF} = 6 ГГц Uп = 3,3В	-3,0	—
Мощность дифференциального выходного сигнала на выходах OUT1P и OUT1N, дБм	BPWR = 3 f _{RF} = 3 ГГц Uп = 3,3В	3,0	—
Мощность дифференциального выходного сигнала на выходах OUT1P и OUT1N, дБм	BPWR = 3 f _{RF} = 23,4375 МГц Uп = 3,3В	3,0	—
Мощность синфазного выходного сигнала на выходе OUT2, дБм	BPWR = 3 f _{RF} = 6 ГГц Uп = 3,3В	-5,0	—



Мощность синфазного выходного сигнала на выходе OUT2, дБм	BPWR = 3 $f_{RF} = 12$ ГГц $U_{п} = 3,3В$	-25,0	—
Диапазон частот, МГц, на ВЧ выходах OUT1N, OUT1P	$U_{п} = 3,3В$	23,4375	6000
Диапазон частот, МГц, на ВЧ выходе OUT2	$U_{п} = 3,3В$	6000	12000
Диапазон частот, МГц, на выходах OUTLVDSN, OUTLVDSP	$U_{п} = 3,3В$	23,4375	800
Диапазон частот, МГц, на выходе OUTCMOS	$U_{п} = 3,3В$	23,4375	250
Коэффициент деления опорной частоты, 1	$U_{п} = 3,3В$	1	4095
Целая часть петлевого коэффициента деления, 1	целочисленный режим, $U_{п} = 3,3В$	24	131071
Целая часть петлевого коэффициента деления, 1	дробный режим, $U_{п} = 3,3В$	27	131067
Коэффициент деления выходного делителя, 1	$U_{п} = 3,3В$	1	128
Крутизна перестройки ГУН, МГц/В	$U_{п} = 3,3В$	25	70
Фазовый шум ГУН на частоте 3 ГГц, дБн/Гц	частота отстройки 100 кГц, $U_{п} = 3,3В$	—	-100
Фазовый шум ГУН на частоте 3 ГГц, дБн/Гц	частота отстройки 1 МГц, $U_{п} = 3,3В$	—	-126
Фазовый шум ГУН на частоте 4,5 ГГц, дБн/Гц	частота отстройки 100 кГц, $U_{п} = 3,3В$	—	-93,5
Фазовый шум ГУН на частоте 4,5 ГГц, дБн/Гц	частота отстройки 1 МГц, $U_{п} = 3,3В$	—	-120,5
Фазовый шум ГУН на частоте 6 ГГц, дБн/Гц	частота отстройки 100 кГц, $U_{п} = 3,3В$	—	-90,5
Фазовый шум ГУН на частоте 6 ГГц, дБн/Гц	частота отстройки 1 МГц, $U_{п} = 3,3В$	—	-118,0

Справочные параметры

Параметр, единица измерения	Режим	Не менее	Не более
Междиапазонный запас по частоте ГУН, МГц	T=25, 85, -45°C	2	—
Коэффициент вариации частоты ГУН при изменении напряжения питания, МГц/В	T=25°C	—	2
Нормированный уровень тепловых фазовых шумов в целочисленном режиме, дБн/Гц	T=25°C	—	-226
Нормированный уровень фазовых фликкер-шумов в целочисленном режиме, дБн/Гц	T=25°C, отстройка 10 кГц, нормирование на частоту 1 ГГц	—	-116
Уровень побочных составляющих в спектре выходного сигнала, вызванных частотой сравнения, дБн	T=25°C, отстройка 1 МГц	—	-70
Входная ёмкость на входе REFIN, пФ	T=25, 85, -45°C	—	3
Время отключения/включения выходных буферов, нс	T=25°C	—	10
Собственная резонансная частота, кГц	T=25°C	20	—
Тепловое сопротивление кристалл-окружающая среда, °C/Вт	T=25°C	—	10,9
Предельная температура р-п перехода кристалла, °C	T=25°C	—	150



Предельные и предельно-допустимые режимы эксплуатации

Наименование параметра, единица измерения	Предельно-допустимый режим		Предельный режим	
	не менее	не более	не менее	не более
Напряжение питания, В	3,0	3,6	—	4,0* 3,9
Входное напряжение высокого уровня, В, на входах CLK, LE, DATAI, MUTE, CE, nRESET	2,0	U _n	—	U _n +0,3
Входное напряжение низкого уровня, В, на входах CLK, LE, DATAI, MUTE, CE, nRESET	0	0,8	-0,3	—
Размах (пик-пик) опорного сигнала прямоугольной формы, В, на входе REFIN	0,7	U _n	—	U _n +0,3
Управляющее напряжение ГУН, В, на входе TUNE в режиме с разомкнутой петлей обратной связи ФАПЧ	0,5	2,5	-0,3	U _n +0,3
Выходной ток высокого уровня, мА, на выводах MUXOUT, OUTCMOS, LD, DATAO	-1	—	—	—
Выходной ток низкого уровня, мА, на выводах MUXOUT, OUTCMOS, LD, DATAO	—	1	—	—
Частота опорного сигнала, МГц, на входе REFIN	0,05	200	—	—
Частота сравнения фазового детектора, МГц: — в дробном режиме; — в целочисленном режиме	0,1	50	—	—
	0,1	100		
Тактовая частота интерфейса управления, МГц, на входе CLK	—	20	—	—
Входная мощность опорного сигнала синусоидальной формы, дБм, на входе REFIN	-6	12	—	—
Скорость нарастания сигнала опорной частоты, В/мкс	1	—	—	—
Ёмкость нагрузки, пФ, на выводах MUXOUT, OUTCMOS	—	5	—	10

* Длительность воздействия предельного режима не более 24 часов.

Не допускается одновременное воздействие двух и более предельных режимов.

ТИПОВЫЕ ПАРАМЕТРЫ МОДУЛЯ

ВЫХОДНАЯ МОЩНОСТЬ (OUT1N, OUT1P)

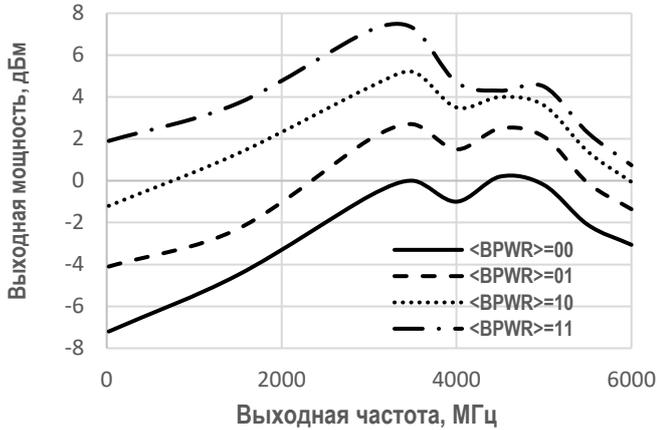


Рисунок 1 – выходная мощность на выходах OUT1N и OUT1P (Uп = 3,3 В, целочисленный режим, F_{rf} = 3,0 ГГц, F_{ref} = 100 МГц)

ВЫХОДНАЯ МОЩНОСТЬ (OUT2)

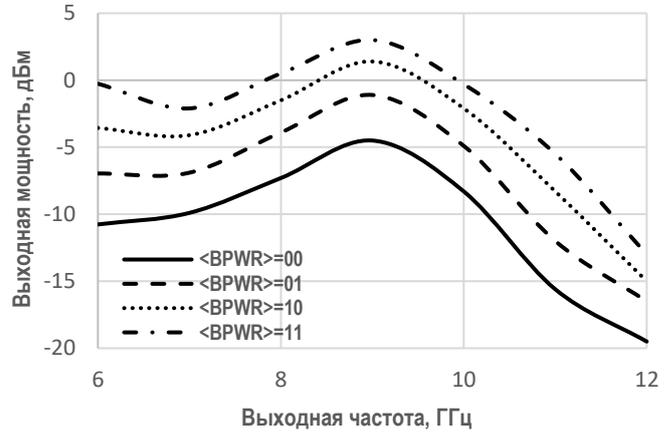


Рисунок 2 – выходная мощность на выходе OUT2 (Uп = 3,3 В, целочисленный режим, F_{rf} = 3,0 ГГц, F_{ref} = 100 МГц)

ФАЗОВЫЙ ШУМ (OUT1N, OUT1P)



Рисунок 3 – фазовый шум на выходах OUT1N и OUT1P (Uп = 3,3 В, целочисленный режим, F_{rf} = 3,0 ГГц, F_{ref} = 100 МГц)

ФАЗОВЫЙ ШУМ (OUT1N, OUT1P)

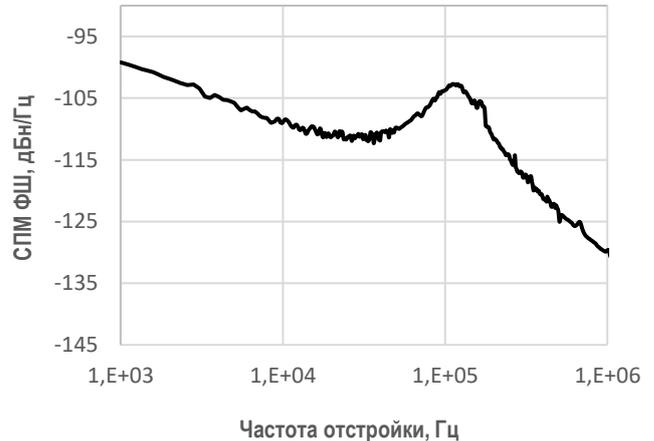


Рисунок 4 – фазовый шум на выходах OUT1N и OUT1P (Uп = 3,3 В, дробный режим, F_{rf} = 3,0 ГГц, F_{ref} = 100 МГц)

ФАЗОВЫЙ ШУМ (OUT1N, OUT1P)

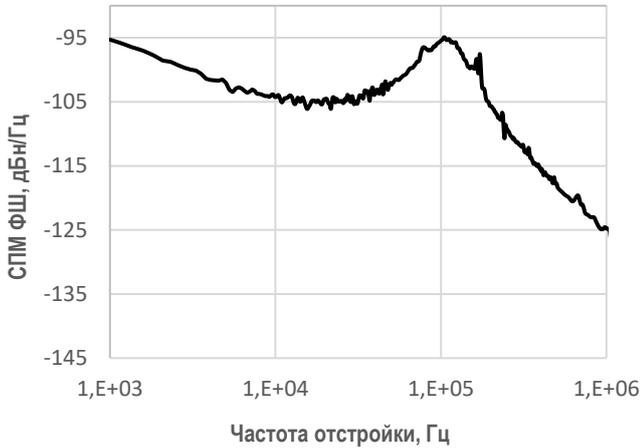


Рисунок 5 – фазовый шум на выходах OUT1N и OUT1P синтезатора ($U_{п} = 3,3$ В, целочисленный режим, $F_{rf} = 4,5$ ГГц, $F_{ref} = 100$ МГц)

ФАЗОВЫЙ ШУМ (OUT1N, OUT1P)



Рисунок 6 – фазовый шум на выходах OUT1 и OUT2 синтезатора ($U_{п} = 3,3$ В, дробный режим, $F_{rf} = 4,600$ МГц, $F_{ref} = 100$ МГц)

ФАЗОВЫЙ ШУМ (OUT1N, OUT1P)

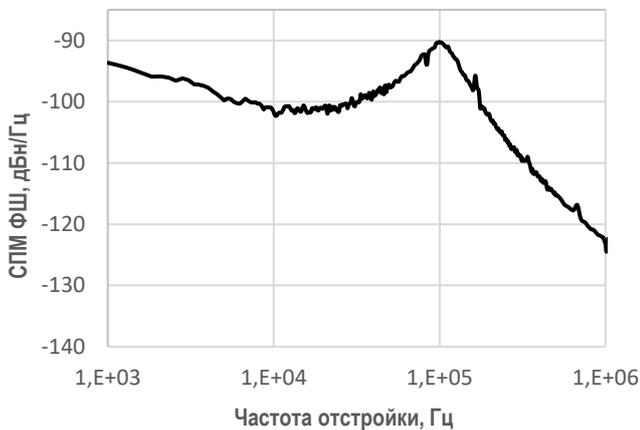


Рисунок 7 – фазовый шум на выходах OUT1N и OUT1P синтезатора ($U_{п} = 3,3$ В, целочисленный режим, $F_{rf} = 6$ ГГц, $F_{ref} = 100$ МГц)

ФАЗОВЫЙ ШУМ (OUT1N, OUT1P)

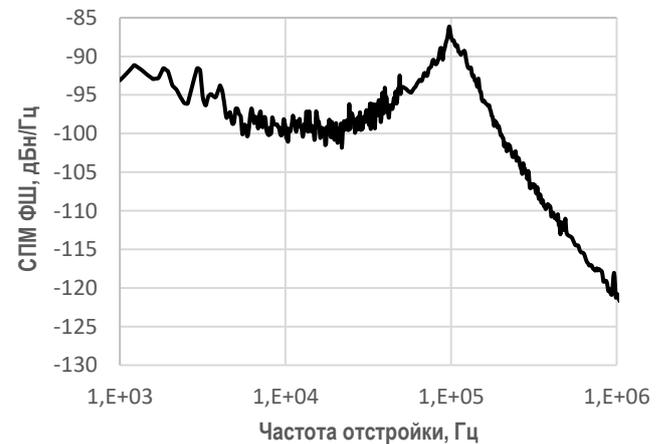


Рисунок 8 – Фазовый шум на выходах OUT1N и OUT1P синтезатора ($U_{п} = 3,3$ В, дробный режим, $F_{rf} = 6,100$ МГц, $F_{ref} = 100$ МГц)

ФАЗОВЫЙ ШУМ (OUT2)

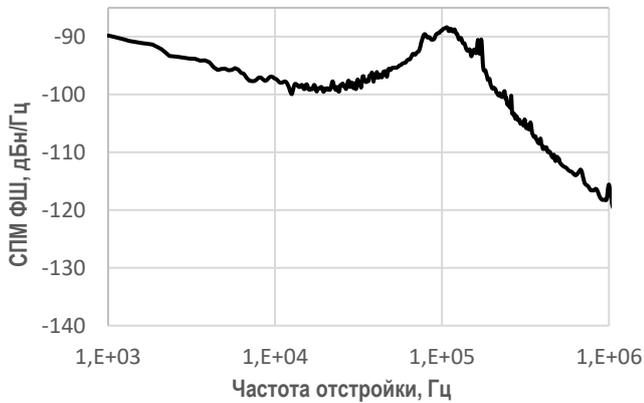


Рисунок 9 – Фазовый шум на выходе OUT2 синтезатора (Uп = 3,3 В, целочисленный режим, F_{rf} = 9 ГГц, F_{ref} = 100 МГц)

ФАЗОВЫЙ ШУМ (OUT2)



Рисунок 10 – Фазовый шум на выходе OUT2 синтезатора (Uп = 3,3 В, дробный режим, F_{rf} = 9200 МГц, F_{ref} = 100 МГц)

ФАЗОВЫЙ ШУМ (OUT2)



Рисунок 11 – Фазовый шум на выходе OUT2 синтезатора (Uп = 3,3 В, целочисленный режим, F_{rf} = 12 ГГц, F_{ref} = 100 МГц)

ФАЗОВЫЙ ШУМ (OUT2)

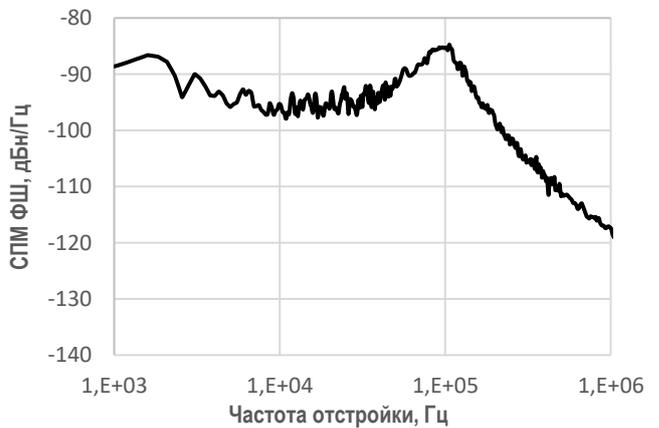


Рисунок 12 – Фазовый шум на выходе OUT2 синтезатора (Uп = 3,3 В, дробный режим, F_{rf} = 12200 МГц, F_{ref} = 100 МГц)

ЗАВИСИМОСТЬ СРЕДНЕЙ ПО ДИАПАЗОНУ ЧАСТОТЫ ГУН ОТ НОМЕРА ДИАПАЗОНА

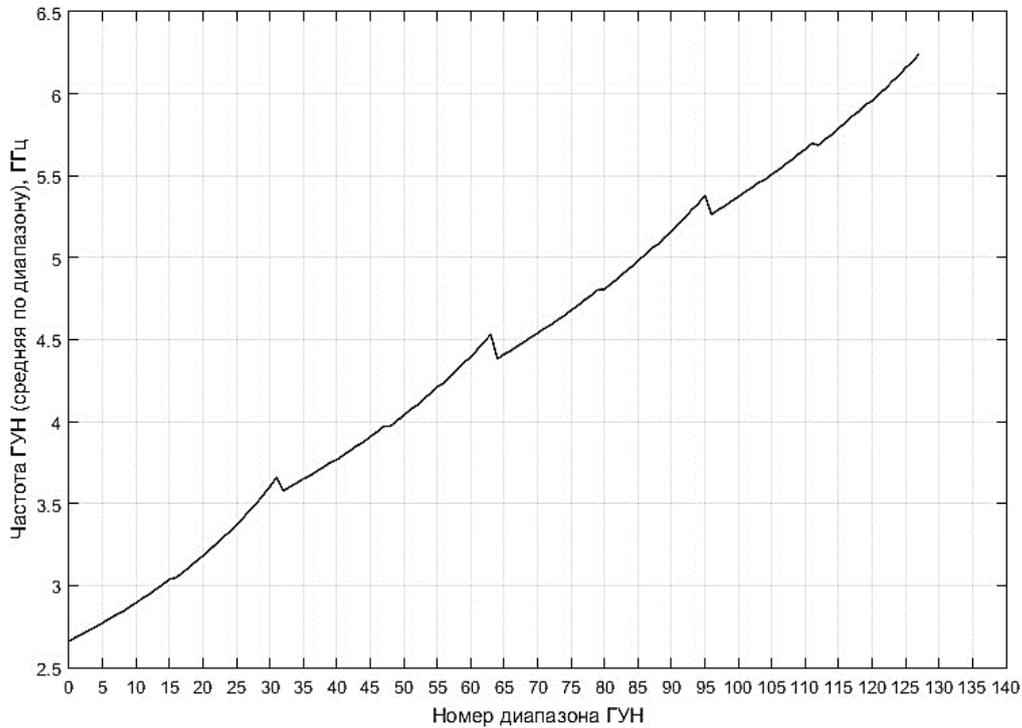


Рисунок 13 – Зависимость средней по диапазону частоты ГУН от номера диапазона ($U_{п} = 3,3 В$)

ЗАВИСИМОСТЬ СРЕДНЕЙ ПО ДИАПАЗОНУ КРУТИЗНЫ ПЕРЕСТРОЙКИ ГУН ОТ ЧАСТОТЫ

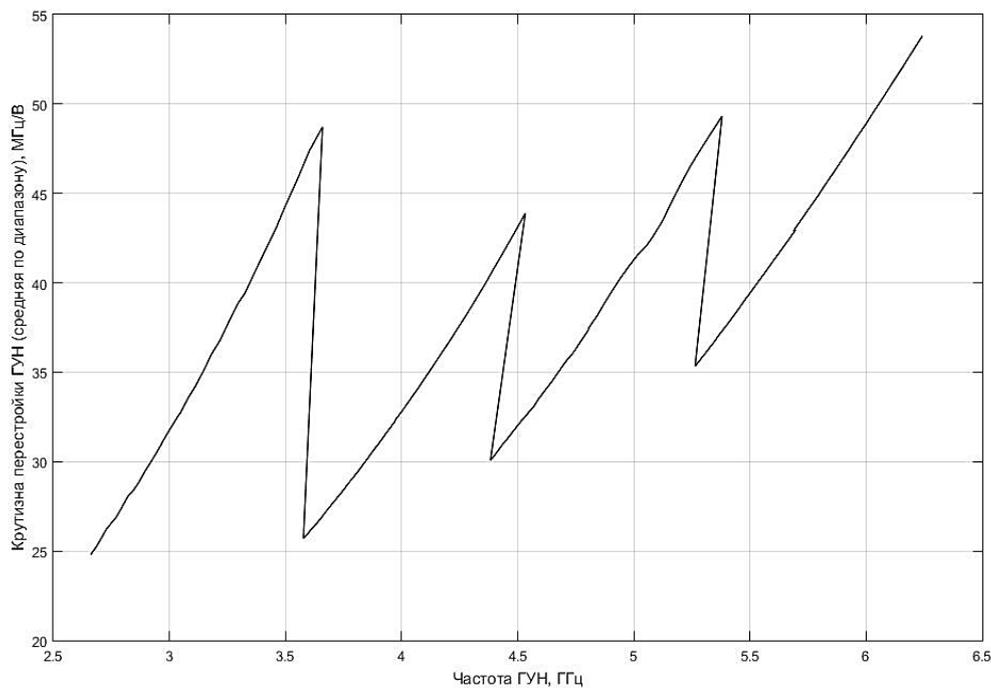


Рисунок 14 – Зависимость средней по диапазону крутизны перестройки ГУН от частоты ГУН ($U_{п} = 3,3 В$)

ЗАВИСИМОСТЬ КРУТИЗНЫ ПЕРЕСТРОЙКИ ГУН ОТ НАПРЯЖЕНИЯ УПРАВЛЕНИЯ НА ВХОДЕ TUNE

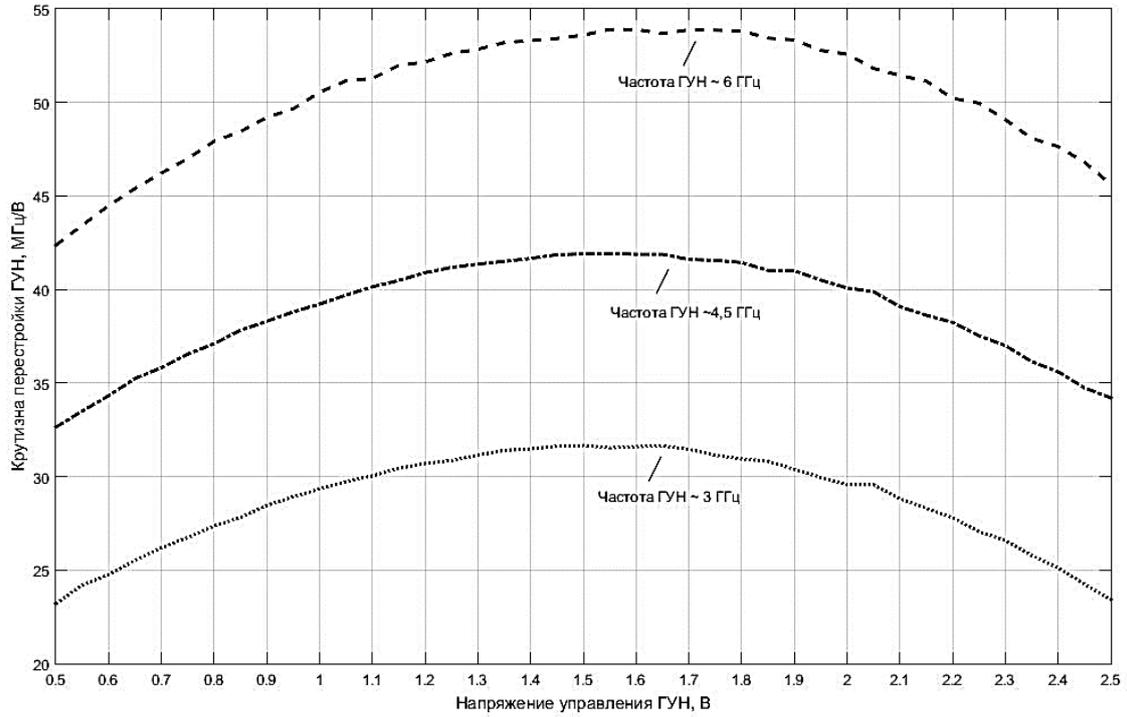


Рисунок 15 – Зависимость крутизны перестройки ГУН от напряжения управления на входе TUNE ($U_{п} = 3,3 В$)

ЗАВИСИМОСТЬ ШИРИНЫ ДИАПАЗОНА ГУН ОТ ЧАСТОТЫ ГУН

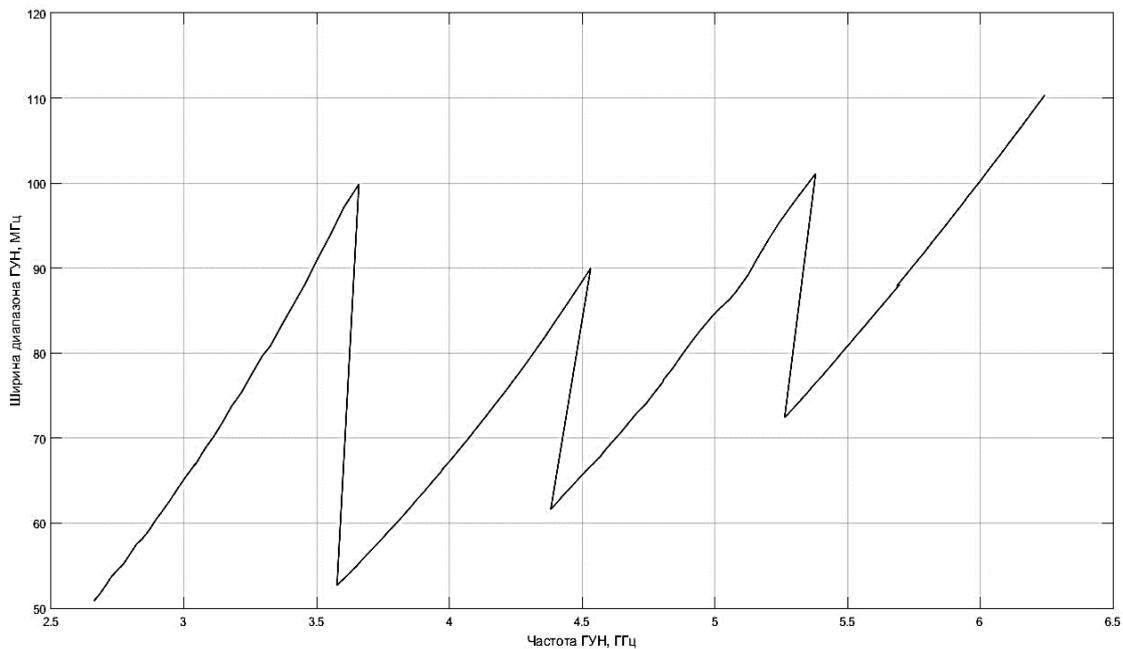


Рисунок 16 – зависимость ширины диапазона ГУН от частоты ГУН ($U_{п} = 3,3 В$)

ФАЗОВЫЙ ШУМ ГУН НА ЧАСТОТЕ 3 ГГц

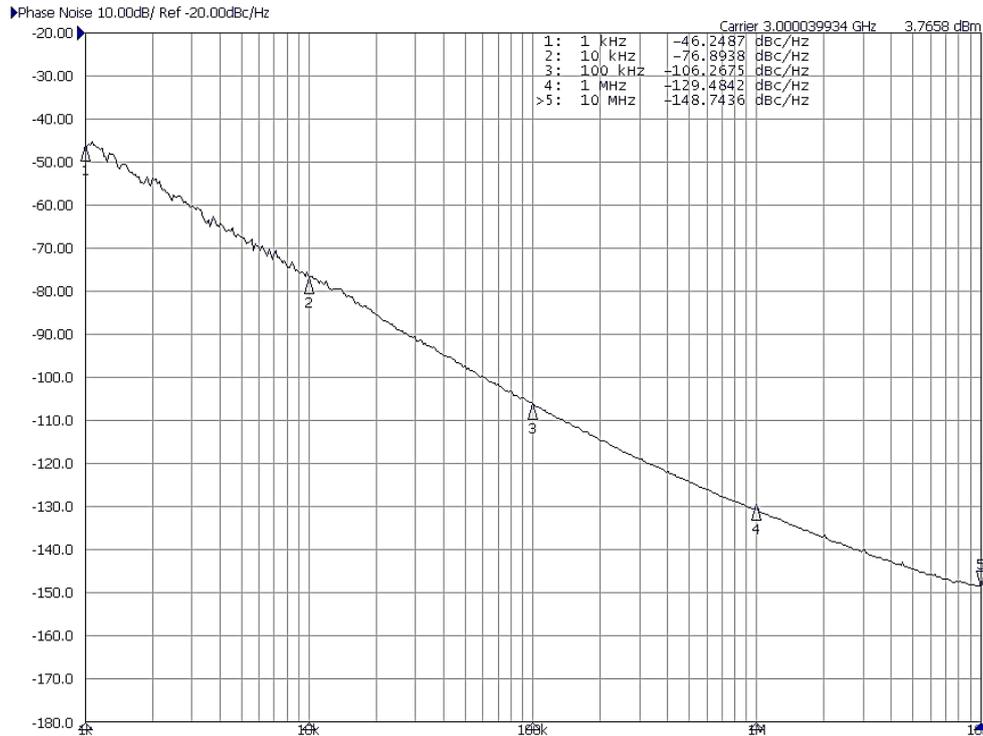


Рисунок 17 – фазовый шум ГУН на частоте 3 ГГц ($U_p = 3,3$ В)

ФАЗОВЫЙ ШУМ ГУН НА ЧАСТОТЕ 6 ГГц

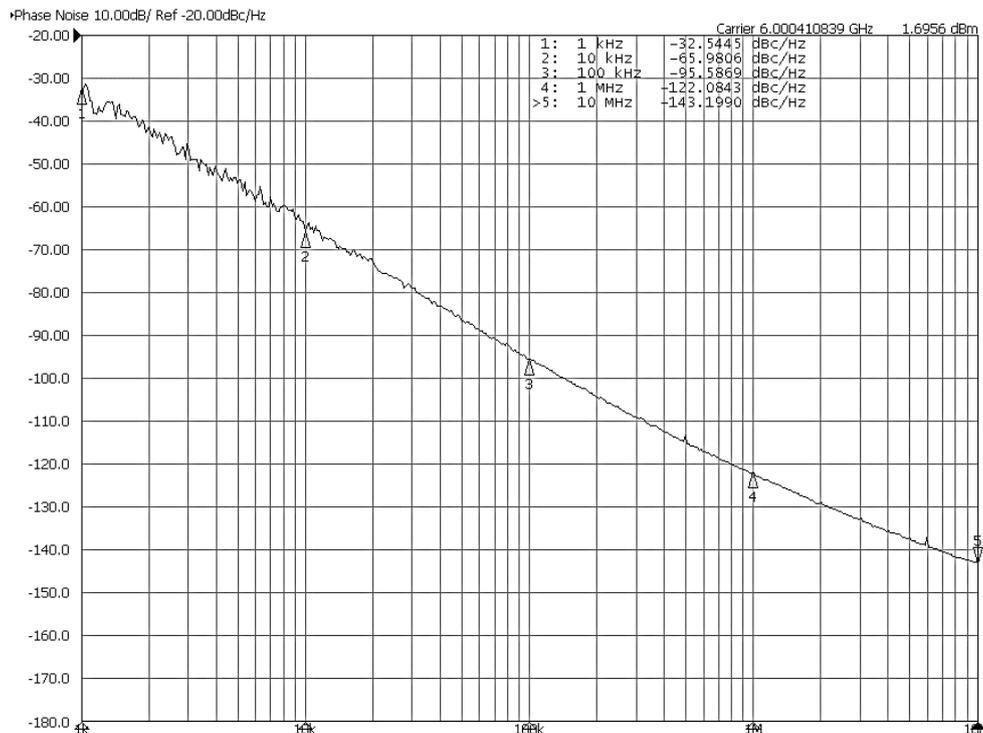
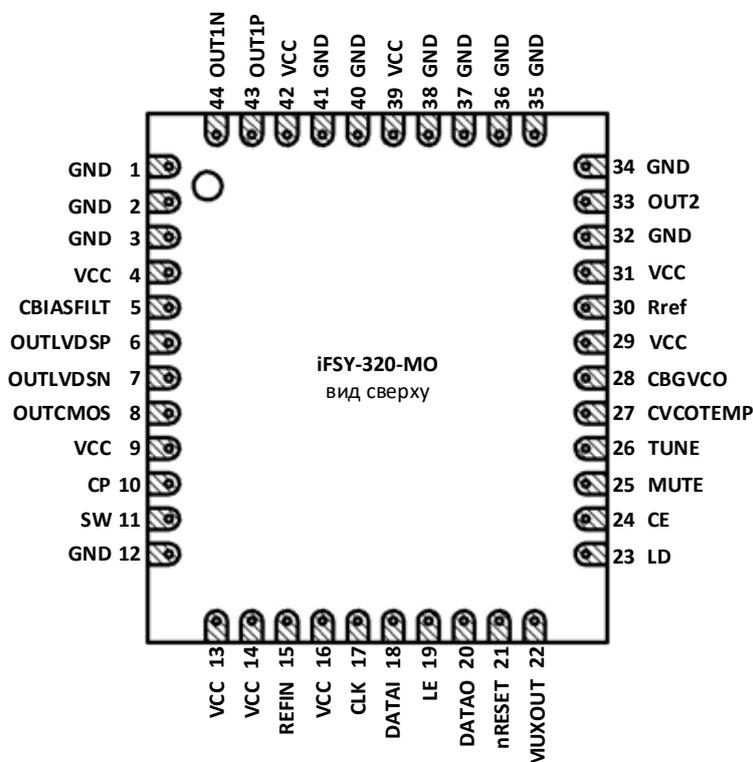


Рисунок 18 – фазовый шум ГУН на частоте 6 ГГц ($U_p = 3,3$ В)

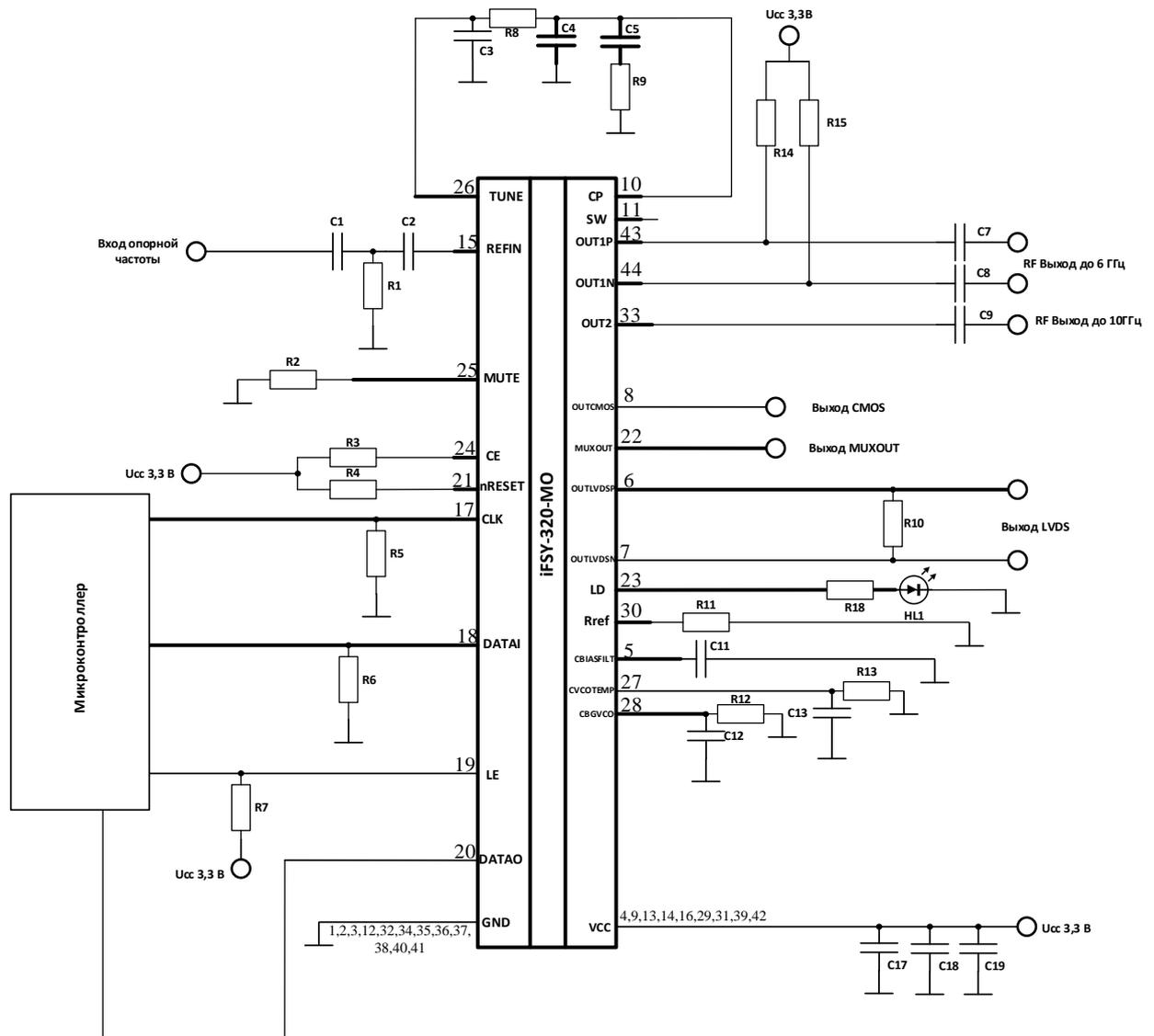
УСЛОВНОЕ ГРАФИЧЕСКОЕ ОБОЗНАЧЕНИЕ И ФУНКЦИОНАЛЬНОЕ НАЗНАЧЕНИЕ ВЫВОДОВ МОДУЛЯ



Описание выводов

Номер вывода	Обозначение	Функциональное назначение
1,2,3,12,32,34,35-38,40,41	GND	Общий
4,9,13,14,16,29,31,39,42	VCC	Напряжение питания
5	СBIASFILT	Вывод подключения фильтрующего конденсатора опорного тока выходных каскадов
6	OUTLVDSP	Выход сигнала стандарта LVDS прямой
7	OUTLVDSN	Выход сигнала стандарта LVDS инверсный
8	OUTCMOS	Выход сигнала стандарта КМОП
10	CP	Выход зарядно-разрядного блока
11	SW	Выход подключения к петлевому фильтру. Используется для функции быстрого захвата частоты.
15	REFIN	Вход опорной частоты
17	CLK	Сигнал тактовой частоты интерфейса программирования
18	DATAI	Вход данных управляющих регистров
19	LE	Сигнал разрешения записи данных в управляющие регистры
20	DATAO	Выход данных управляющих регистров
21	nRESET	Сброс цифровой части модуля (при подаче логического нуля)
22	MUXOUT	Программируемый универсальный выход
23	LD	Выход детектора захвата
24	CE	Сигнал выбора режима пониженного потребления. При логическом нуле модуль переводится в режим пониженного потребления
25	MUTE	Сигнал отключения буферов выходного сигнала. При логической единице буферы выходного сигнала выключены
26	TUNE	Вход управляющего напряжения ГУН
27	CVCOTEMP	Вывод подключения фильтрующего конденсатора термокомпенсирующего напряжения ГУН
28	СBGVCO	Вывод подключения фильтрующего конденсатора опорного напряжения ГУН
30	Rref	Вывод подключения резистора, задающего опорный ток зарядно-разрядного блока
33	OUT2	СВЧ выход 6 – 12 ГГц
43	OUT1P	СВЧ выход 23,5 МГц – 6 ГГц прямой
44	OUT1N	СВЧ выход 23,5 МГц – 6 ГГц инверсный

ТИПОВАЯ СХЕМА ВКЛЮЧЕНИЯ МОДУЛЯ



iFSY-320-MO – модуль синтезатора частоты;

C1, C2, C12, C13, C18 – конденсаторы 100 нФ ± 10 %;

C3, C4, C5 – конденсаторы, ёмкости которых выбирается в зависимости отжелаемых параметров петли ФАПЧ;

C11, C7, C8, C9 – конденсаторы 10 нФ ± 10 %;

C17 – конденсатор 1 мкФ ± 10 %;

C19 – конденсатор 100 пФ ± 10 %;

HL1 – светодиод для индикации захвата ФАПЧ;

R1 – резистор сопротивлением 50 Ом ± 10 %;

R2 – R7 – резисторы сопротивлением 100 кОм ± 10 %;

R8, R9 – резисторы, сопротивления которых выбираются в зависимости от желаемых параметров петли ФАПЧ;

R10 – резистор сопротивлением 100 Ом ± 10 %;

R11 – резистор сопротивлением 5,23 кОм ± 1 %;

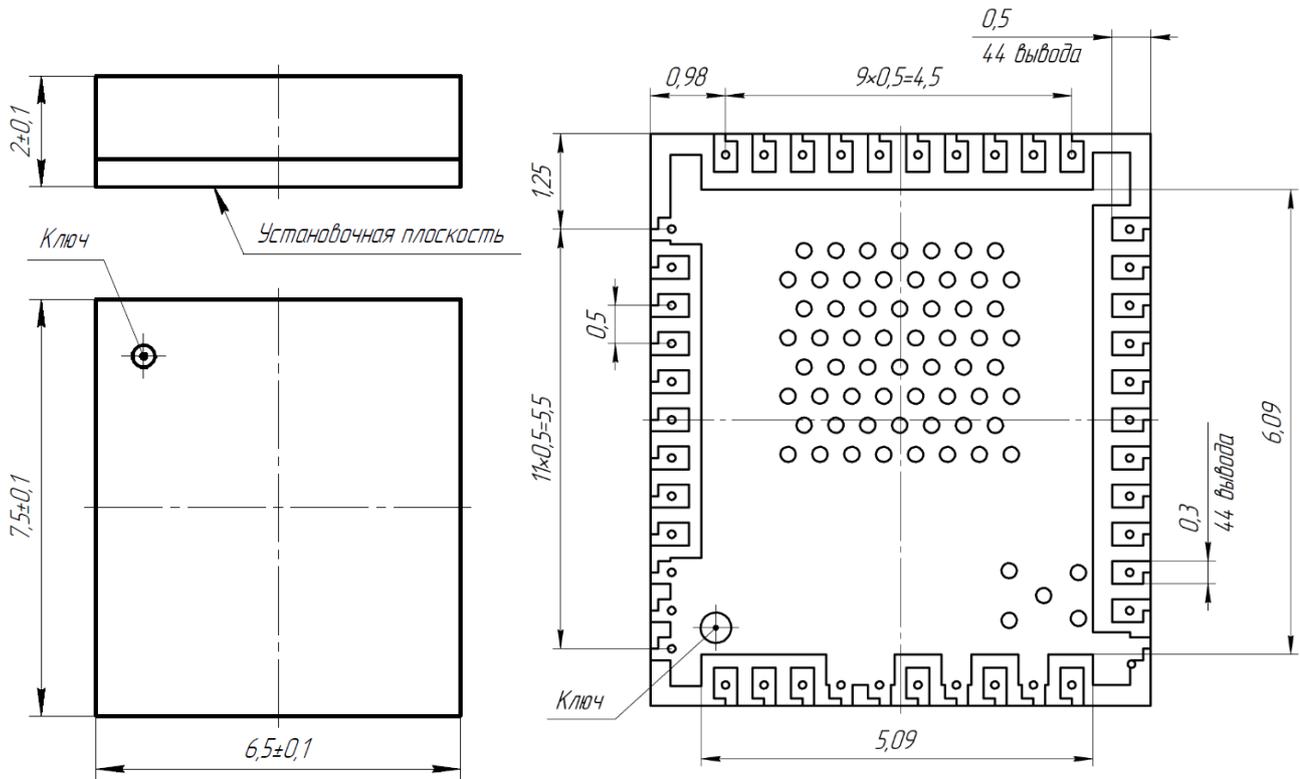
R12 – резистор сопротивлением 6,8 кОм ± 5 %;

R13 – резистор сопротивлением 62 кОм ± 5 %;

R14, R15 – резисторы сопротивлением 50 Ом ± 10 %;

R18 – резистор сопротивлением 1 кОм ± 10 %

ГАБАРИТНЫЙ ЧЕРТЕЖ КОРПУСА



РЕКОМЕНДАЦИИ ПО ПРИМЕНЕНИЮ

При работе с изделием необходимо руководствоваться требованиями ОСТ 11 073.062 и ОСТ 11 073.063.

Перед первым включением питающего напряжения необходимо убедиться, что величина напряжения соответствует указанной в этикетке на модули и произвести внешний осмотр. Запрещается присоединять и отсоединять модули от СВЧ тракта при включенном питании.

Источники питания должны быть заземлены.

При работе с модулями обязательно применение мер по защите модулей от статического электричества по ОСТ 11 073.062 (допустимое значение потенциала статического электричества не менее 150 В).

Модули чувствительны к качеству заземления, поэтому на печатных платах для осуществления заземления необходимо использовать сквозные металлизированные отверстия, расположенные в непосредственной близости от модуля, желательно непосредственно под контактными площадками заземления.

РЕКОМЕНДАЦИИ ПО ПАЙКЕ

Ручной монтаж модуля необходимо осуществлять в соответствии с ГОСТ Р МЭК 61192-1-2010 (п.15.1), ГОСТ Р МЭК 61191-1-2010 (п.8.4.1).

Отмывку рекомендуется проводить в соответствии с требованиями ОСТ 11 073.063. Очистку выводов изделий и печатных плат следует производить после лужения и пайки жидкостями, не оказывающими влияния на покрытие, маркировку и материал корпуса. Если при пайке и лужении использовались некоррозионные или слабокоррозионные флюсы, то время между операциями пайки (лужения) и очистки должно быть не более 24 часов.

В случае применения коррозионных флюсов время между операциями пайки (лужения) и очистки не должно превышать 1 час.

Очистку от остатков флюса следует производить одним из способов, рекомендованных ГОСТ 20.39.405. Допускается повторная очистка указанными выше способами, за исключением очистки в ВЧ плазме, при условии полного высыхания растворителя и отсутствии нарушений целостности покрытия и маркировки на корпусах изделий.



ОПИСАНИЕ ФУНКЦИОНИРОВАНИЯ

1.Общее описание

Модуль представляет собой широкополосный синтезатор частоты с встроенным генератором, управляемым напряжением (ГУН), который в сочетании с внешним петлевым фильтром образует законченную петлю ФАПЧ. Встроенный ГУН вырабатывает частоту в диапазоне от 3 до 6 ГГц. Синтезатор может работать как в дробном, так и в целочисленном режиме. Способен производить сигнал с частотой от 23,43475 МГц до 6 ГГц на дифференциальном СВЧ-выходе OUT1P, OUT1N и сигнал с частотой от 6 до 12 ГГц на синфазном СВЧ выходе OUT2. Помимо СВЧ-выходов сигнал частотой до 800 МГц можно получить на выходе стандарта LVDS (OUTLVDSP, OUTLVDSN), а также КМОП-сигналом частотой до 250 МГц — на выходе OUTCMOS.

Управление модулем осуществляется через последовательный SPI-интерфейс. Описание всех регистров управления приведено в подразделе «Карта регистров SPI-интерфейса».

Модуль содержит два независимых набора выходных делителей частоты с коэффициентами деления 1, 2, 4, 8, 16, 32, 64, 128. Любой из выходных делителей частоты может быть включен в обратную связь петли ФАПЧ дополнительно к петлевому делителю для расширения диапазона петлевого коэффициента умножения, а также для приложений с точной синхронизацией выходного сигнала к опорному (см. подраздел 16). Выбор включаемого выходного делителя осуществляется установкой:

- MUXFB = 1, если в обратную связь петли ФАПЧ включается выходной делитель номер 1;
- MUXFB = 2, если в обратную связь петли ФАПЧ включается выходной делитель номер 2;
- MUXFB = 0, если выходные делители не включены в обратную связь петли ФАПЧ.

Дробный коэффициент петлевого делителя частоты создается при помощи сигма-дельта модулятора 3-го порядка, который может работать в следующих режимах:

- 14-разрядный режим с переменным знаменателем MOD2;
- 24-разрядный режим с постоянным знаменателем 2^{24} ;
- режим последовательного каскадного соединения двух модуляторов с эффективной разрядностью 36 бит для приложений с точной подстройкой частоты.
- Переключение режимов работы модулятора, а также включение целочисленного режима задается управляющим полем MODSEL.

Опорная частота может быть поделена делителем опорной частоты, а также умножена встроенным удвоителем частоты. Удвоитель частоты задействуется установкой DBR = 1.

Если выходные делители не включены в обратную связь (MUXFB = 0) частота в захваченном состоянии ФАПЧ на выходе ГУН определяется выражением:

$$F_{vco} = \frac{F_{ref}(1 + DBR)}{R} \times N \quad (1)$$

Если один из выходных делителей включен в обратную связь (MUXFB = 1 или MUXFB = 2), частота в захваченном состоянии ФАПЧ на выходе ГУН определяется выражением:

$$F_{vco} = \frac{F_{ref}(1 + DBR)}{R} \times N \times DIVA, \quad (2)$$

где

R – коэффициент деления опорной частоты;

DBR – значение бита, включающего удвоитель опорной частоты;

N – коэффициент деления петлевого делителя частоты;

DIVA – коэффициент деления выходного делителя (задается установкой значений DIV1 и DIV2)



Коэффициент деления петлевого делителя частоты N и, соответственно, режим работы синтезатора определяется в зависимости от режима работы сигма- дельта модулятора (таблица 1).

Таблица 1 – Режимы работы синтезатора в зависимости от значения MODSEL

MODSEL<1:0>	N	Описание режима	Шаг сетки выходной частоты синтезатора (на выходе ГУН, без учета выходных делителей частоты)
<00>	$N = INT + \frac{FRAC2}{MOD2}$	Дробный режим с 14 разрядным переменным знаменателем ($0 \leq FRAC2 \leq MOD2-1$)	$\frac{F_{PFD}}{MOD2}$
<01>	$N = INT + \frac{FRAC2}{2^{24}}$	Дробный режим с 24-разрядным постоянным знаменателем	$\frac{F_{PFD}}{2^{24}}$
<10>	$N = INT + \frac{FRAC1 + \frac{FRAC2}{MOD2}}{2^{24}}$	Дробный режим с эффективной разрядностью 36 бит (для корректной работы режима необходимо выполнения условия: $3 \leq FRAC1 \leq 16777211$)	$\frac{F_{PFD}}{2^{36}}$
<11>	$N = INT$	Целочисленный режим	F_{PFD}

Примечание – частота фазового детектора F_{PFD} определяется по формуле (7)

Значения INT, FRAC1, FRAC2, MOD2 задаются соответствующими управляющими полями в регистрах интерфейса управления.

В модуль заложена возможность изменения полярности фазового детектора на обратную при использовании активного петлевого фильтра с инверсной передаточной характеристикой. Это осуществляется установкой PFDSIGN = 1.

Синтезатор может быть переведен в режим пониженного энергопотребления подачей логического «0» на вход CE или установкой SHDN = 1.

Цифровая часть модуля может быть сброшена подачей логического «0» на входе nRESET. При этом все внутренние регистры управления и внутренние цифровые блоки сбрасываются в начальное состояние. При установке RESDIG=1 сбрасываются цифровые блоки, но регистры управления сохраняют текущее состояние.

2. Тракт опорной частоты

Опорный сигнал с частотой f_{REF} до 200 МГц должен подаваться с внешнего источника на вход REFIN через разделительный конденсатор. Опорный сигнал может быть как синусоидальной, так и прямоугольной формы и должен иметь скорость нарастания не хуже 1 В/мкс.

Входной каскад построен на основе КМОП инвертора с резистором в обратной связи между входом и выходом (рисунок 21).

Опорный сигнал может поступать без деления на вход фазового детектора, либо проходить через делитель частоты с коэффициентом деления от 1 до 4095. Также есть возможность использовать умножитель частоты на 2. Удвоитель частоты задействуется установкой DBR = 1.

Частота на выходе делителя частоты (частота фазового детектора) не должна превышать 100 МГц для целочисленного режима работы и 50 МГц для дробных режимов.

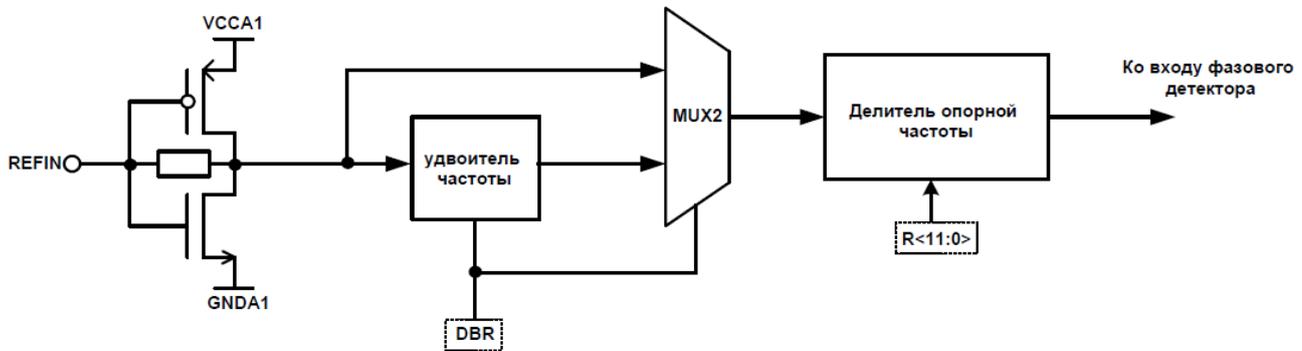


Рисунок 21 – Структурная схема тракта опорной частоты

3. Петлевой делитель частоты

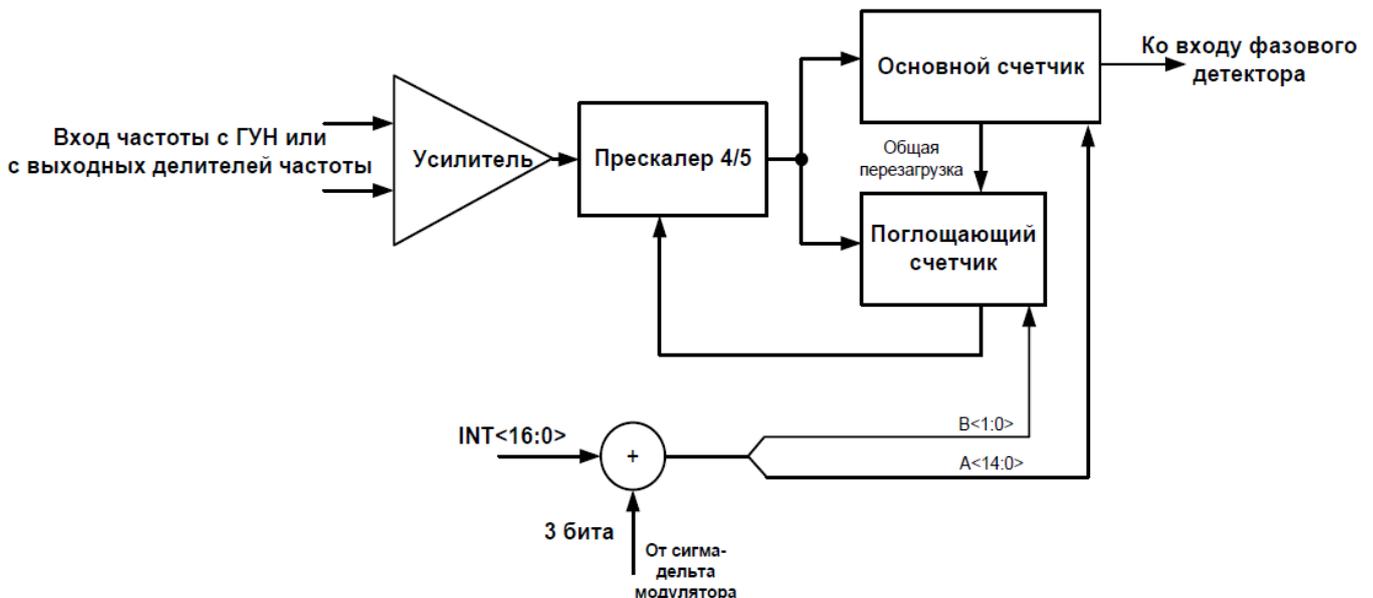


Рисунок 22 – Структурная схема петлевого делителя частоты

Петлевой делитель частоты построен по схеме двухмодульного прескалера 4/5 с основным и поглощающим счетчиками (рисунок 22) и способен делить входную частоту до 6 ГГц. Делитель обладает широким диапазоном коэффициентов деления. Коэффициент деления задается установкой управляющего поля INT <16:0>. В дробных режимах работы для создания дробного коэффициента деления к заданному значению INT добавляется динамически изменяющаяся добавка с выхода сигма-дельта модулятора. Возможные диапазоны коэффициентов деления приведены в таблице 2.

Таблица 2 – Диапазон значений INT

Режим работы	Диапазон возможных значений INT
Целочисленный (MODSEL=<11>)	от 24 до 131071
Дробные (MODSEL=<00>, <01>, <10>)	от 27 до 131067

4. Фазовый детектор и зарядно-разрядный блок

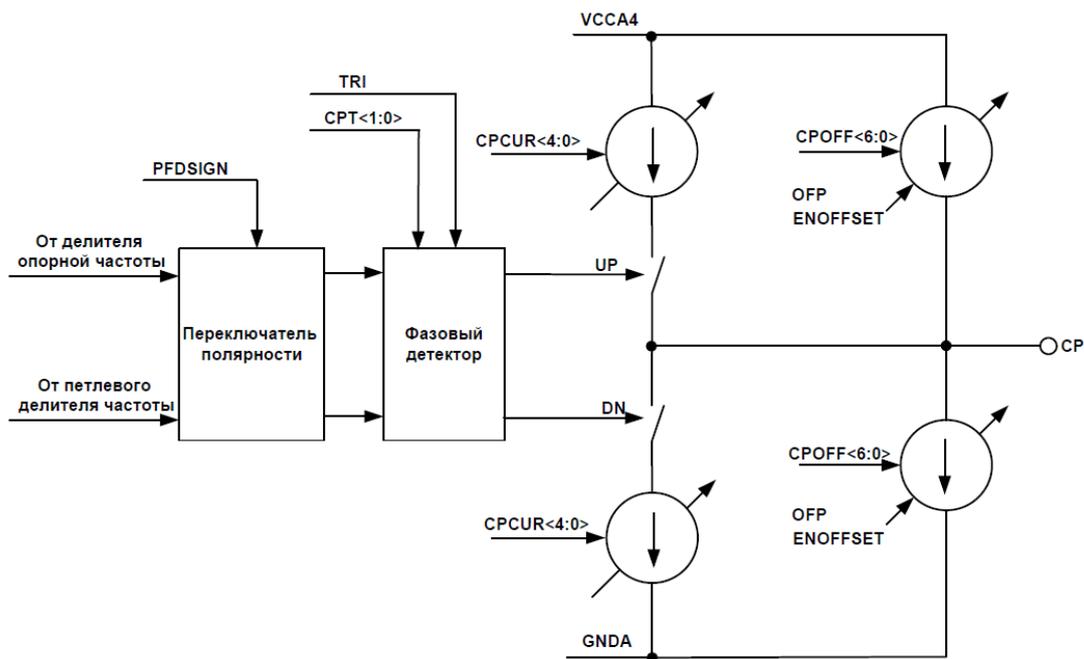


Рисунок 23 – Структурная схема фазового детектора и зарядно-разрядного блока

Фазовый детектор построен по схеме с третьим состоянием и компенсацией мертвой зоны. Зарядно-разрядный блок (ЗРБ) представляет собой источники втекающего и вытекающего тока, управляемые сигналами фазового детектора. Величина тока источников ЗРБ определяется значением резистора, включенного между входом R_{REF} и общим выводом, и значением управляющего поля CPCUR <4:0> в соответствии с выражением:

$$I_{CP} = \frac{0,851 \times (1 + CPCUR)}{R_{ref}} \quad (3)$$

Значение CPCUR может быть задано в диапазоне от 0 до 31. Номинальное значение R_{REF} составляет 5,23 кОм. При таком значении R_{REF} минимально возможный (при CPCUR = 0) ток ЗРБ составляет 160 мкА, а максимально возможный (при CPCUR = 31) — 5,12 мА. При необходимости работы с другими значениями тока ЗРБ допускается установка резистора R_{REF} другого номинала в диапазоне от 2,5 до 10 кОм.



5. Ток смещения зарядно-разрядного блока

Вследствие нелинейности передаточной характеристики ЗРБ и фазового детектора вблизи нулевой разности фаз входных сигналов в дробных режимах работы возникает непредсказуемо большое повышение фазового шума внутри полосы пропускания ФАПЧ. Для уменьшения данного эффекта необходимо смещение области работы детектора в зону большей линейности. Это достигается введением постоянно включенной добавки к выходному току ЗРБ. Добавка может быть как втекающая, так и вытекающая. Кроме того, повышение линейности ЗРБ несколько уменьшает уровень граничных к целому паразитных спектральных составляющих. Смещение области работы детектора уменьшает описанный эффект, однако увеличивает вклад собственного шума источников тока ЗРБ в общий фазовый шум ФАПЧ и, кроме того, увеличивает уровень паразитных сигналов на частоте сравнения ФАПЧ. Таким образом, существует оптимальное значение смещающей добавки к выходному току ЗРБ, которое определяется по формуле:

$$I_{off_opt} = ALPHA \times \frac{I_{CP}}{INT}, \quad (4)$$

где

ALPHA – параметр, принимающий значения от 2 до 7;

I_{CP} – установленное значение тока ЗРБ ;

INT – установленное значение целой части коэффициента деления основной частоты.

Величина смещающей добавки задается значением на шине CPOFF<6:0> при установленном бите ENOFFSET=1 и определяется по формуле:

$$I_{off} = \frac{0,026 \times (1 + CPOFF)}{R_{ref}} \quad (5)$$

Диапазон возможных значений смещающей добавки составляет от 5 до 640 мкА при $R_{REF} = 5,23$ кОм. Выбор оптимального направления тока смещающей добавки (втекающий или вытекающий) завит от технологического разбора и может выбираться пользователем заданием бита OFF. При OFF = 0 ток смещающей добавки втекающий, при OFF = 1 – вытекающий из узла CP.

Величина CPOFF, определяющая значение тока смещающей добавки, может задаваться двумя способами:

1. Непосредственно заданием управляющего поля CPOFF в регистре управления. Это реализуется при установке ALPHA = 0.
2. В модуль встроена система вычисления оптимальной величины CPOFF по формуле 4 для заданных I_{CP} , INT, ALPHA. Автомат вычисления задействуется при задании ALPHA \neq 0 и начинает работу по окончании загрузки регистра с адресом <000> по SPI-интерфейсу. Вычисленное значение CPOFF доступно в регистре для чтения (регистр 10, величина CPOFSET<6:0>) и автоматически применяется к ЗРБ.

При работе в целочисленном режиме смещающую добавку необходимо отключать установкой ENOFFSET = 0.

Выход ЗРБ может быть переведен в третье состояние установкой TRI = 1 для разрыва петли ФАПЧ.

Полярность фазового детектора может быть изменена установкой PFDSIGN = 1 в случае использования внешнего активного инвертирующего фильтра ФАПЧ.

Установкой CPT \neq 0 ЗРБ переводится в тестовые режимы статического выходного тока в соответствии с таблицей 12.



6. Генератор, управляемый напряжением

ГУН включает в себя четыре отдельных ГУН, основанных на резонансных LC-контурах, совместно покрывающих частотный диапазон от 3 до 6 ГГц. В каждом из ГУН имеется по 32 частотных диапазона, которые реализуются матрицей подключаемых емкостей. Таким образом, всего ГУН имеет 128 диапазонов. Напряжение управления частотой подается на вход TUNE. Диапазон управляющего напряжения, в котором гарантирован захват и параметры ФАПЧ составляет от 0,5 до 2,5 В.

7. Система автоматической установки диапазона ГУН

Система автоматической установки диапазона (система автокалибровки) выбирает оптимальный диапазон ГУН в зависимости от требуемой частоты ГУН и поступающей на вход REFIN опорной частоты. Система работает на внутренней тактовой частоте F_{CAL} , которая создается делением частоты фазового детектора на величину NBS. Для корректной работы системы частота F_{CAL} должна быть не менее 100 и не более 250 кГц. Исходя из этого, для выбранной частоты фазового детектора необходимо задавать NBS в соответствии с формулой:

$$NBS = \frac{F_{PFD}}{100..250\text{кГц}}, \quad (6)$$

с округлением до ближайшего большего целого,

где

F_{PFD} – частота фазового детектора, вычисленная по формуле:

$$F_{PFD} = \frac{F_{ref} \times (1 + DBR)}{R}. \quad (7)$$

Система автоматической установки диапазона запускается каждый раз в момент окончания записи регистра с адресом <000> по SPI-интерфейсу, если установлено RECALOFF = 0, TEST = 0. Опорная частота должна быть подана к моменту запуска системы автокалибровки. Общее время, затрачиваемое на поиск оптимального диапазона (время автокалибровки), определяется выражением:

$$T_{CAL} \approx \frac{7}{F_{CAL}} + 1 \text{ мкс}. \quad (8)$$

Если $F_{CAL} = 250$ кГц, то время автокалибровки составит 29 мкс.

В течение всего процесса автокалибровки управляющее напряжение на выводе TUNE устанавливается равным $1,17 \text{ В} \pm 10 \%$, а частота на выходе ГУН изменяется ступенчато через равные промежутки времени, соответствующие $1/F_{CAL}$, после чего устанавливается тот диапазон ГУН, в котором частота наиболее близка к необходимой. По окончании процесса вырабатывается внутренний флаг окончания автокалибровки, затем следует процесс автоподстройки ФАПЧ. На рисунке 22 показан пример зависимости частоты ГУН от времени при настройке на частоту 4,5 ГГц для $F_{CAL} = 250$ кГц.

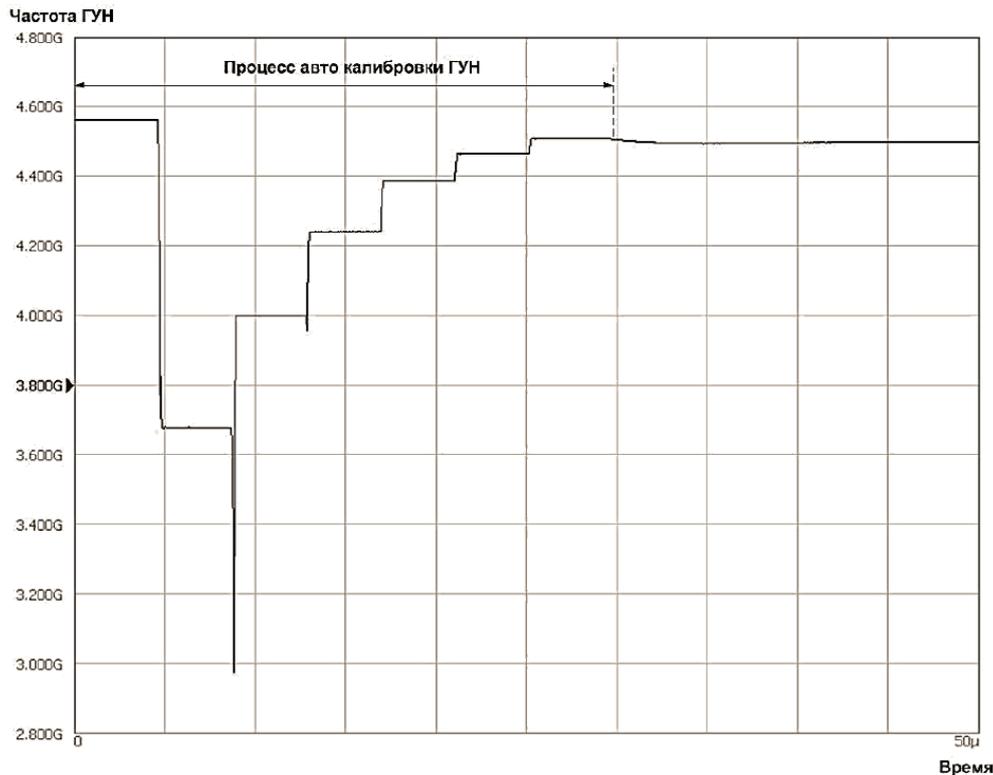


Рисунок 24 – Частота на выходе ГУН в течение процесса автокалибровки и захвата ФАПЧ

При необходимости флаг окончания автокалибровки возможно вывести на универсальный выход MUXOUT при установке MUXOUT= <111>, а также прочитать из регистра (регистр 7, величина VAS_STAT). Также в регистре 7 доступна величина VCO_BAND, которая соответствует номеру выбранного диапазона.

При переводе модуля в режим пониженного энергопотребления значение выбранного диапазона сохраняется.

8. Работа без автокалибровки и непосредственная установка рабочего диапазона ГУН

В модуле предусмотрена возможность работы в режиме без автокалибровки посредством непосредственного задания рабочего диапазона ГУН. Диапазон задается программированием управляющего поля BAND при установке BANDMUX = 1. Для работы в данном режиме необходимо также установить RECALOFF = 1, TEST = 2.

Данный режим предназначен для случая, когда требуется быстрая перестройка частоты, выбрана широкая полоса ФАПЧ, а длительность автокалибровки не приемлема. Необходимо иметь в виду, что как ширина диапазона ГУН, в котором возможна перестройка частоты без изменения номера диапазона, так и средние частоты диапазонов ГУН зависят от технологического разброса, температуры и напряжения питания и не одинаковы у различных образцов модулей (на рисунках — приведены усредненные параметры ГУН). Поэтому основным рабочим режимом модуля является режим с автокалибровкой. При этом гарантируется, что для любой заданной частоты будет выбран оптимальный диапазон ГУН, и при последующем изменении температуры и напряжения питания для обеспечения параметров ФАПЧ не потребуются повторный запуск автокалибровки.

Существует возможность построить алгоритм поиска оптимального диапазона ГУН внешними вычислительными средствами. Если эти вычисления будут выполняться быстрее, чем встроенная автокалибровка,



возможно сократить время перестройки частоты и работать в режиме без автокалибровки. Для этих целей необходимо иметь в памяти вычислительного средства таблицу соответствия между номером диапазона ГУН и цифровым эквивалентом средней частоты ГУН в данном диапазоне для текущего образца модуля. Затем при перестройках частоты необходимо вычислять тот диапазон ГУН, в котором цифровой эквивалент частоты ГУН наиболее близок к целевой величине, в которой содержится информация о текущей желаемой частоте.

Цифровой эквивалент средней частоты ГУН в заданном диапазоне является результатом работы встроенных счетчиков системы автокалибровки и доступен для чтения (регистр 7, величина CNT_TOTAL). Для получения значения CNT_TOTAL в заданном диапазоне ГУН необходимо в основном режиме работы (TEST=0, RECALOFF=0) задать BANDMUX=1 и в поле BAND номер текущего диапазона. При этом на модуль должна поступать опорная частота, должна быть задана частота фазового детектора (установками R и DBR) и корректно задана величина NBS (формула 6). После загрузки SPI будет выполнена работа счетчиков автокалибровки и через время T_{CAL} (по внутреннему флагу окончания автокалибровки) можно производить чтение величины CNT_TOTAL, которая будет связана со средней частотой ГУН в заданном диапазоне следующим образом:

$$CNT_{TOTAL} = \frac{F_{VCO_B} \times NBS}{8 \times F_{PFD}}, \quad (9)$$

где

F_{VCO_B} – средняя частота ГУН в установленном диапазоне.

Выполнив это для всех значений BAND = 0..127, возможно составить и сохранить в памяти таблицу соответствия между BAND и CNT_TOTAL.

Целевую величину необходимо вычислять по следующим формулам:

$$target = \frac{N \times NBS}{8}, \quad \text{для режима } MUXFB = 0, \quad (10)$$

$$target = \frac{N \times DIVA \times NBS}{8}, \quad \text{для режима } MUXFB = 1 \text{ или } 2, \quad (11)$$

где

N – определяется в соответствии с таблицей в зависимости от режима работы;

DIVA – коэффициент деления выходного делителя (задается установкой значений DIV1, DIV2 в соответствии с таблицей).

При перестройках частоты для каждой новой рабочей частоты вычислительное устройство должно вычислять величину *target* и значение BAND, для которого разница между *target* и CNT_TOTAL минимальна. После чего необходимо производить загрузку режима работы в вычисленном диапазоне ГУН.

Все описанное выше справедливо, если перестройка частоты осуществляется изменением коэффициента петлевого делителя N при фиксированной опорной частоте и частоте фазового детектора

9. Выходы RF, CMOS, LVDS, работа с выходными делителями частоты

С выхода ГУН сигнал поступает на выходной делитель частоты с двумя независимыми выходами — каналами, для которых можно задавать коэффициенты деления 1, 2, 4, 8, 16, 32, 64, 128. Коэффициенты деления каналов задаются установкой DIV1, DIV2 независимо. Для работы делителя частоты необходимо устанавливать DIV1_EN=1 и/или DIV2_EN=1, что включит соответствующий канал деления частоты во всех рабочих режимах работы. Далее сигнал раздается на систему выходных буферов. Частота на выходах определяется по формулам:



$$F_{OUT1}, F_{LVDS}, F_{CMOS} = \frac{F_{VCO}}{2^{DIV1,2}}, \quad (12)$$

$$F_{OUT2} = \frac{F_{VCO}}{2^{DIV1,2}} \times 2. \quad (13)$$

Таким образом, диапазоны выходных частот на выходах RF, LVDS, CMOS в зависимости от установок DIV1, DIV2 определяется в соответствии с таблицей 3.

Таблица 3 – Диапазоны выходных частот на выходах RF, LVDS, CMOS

DIV1, DIV2	F _{OUT1} , МГц	F _{OUT2} , МГц	F _{LVDS} , МГц	F _{CMOS} , МГц
<000>	3000 – 6000	6000 - 12000	-	-
<001>	1500 – 3000	-	-	-
<010>	750 – 1500	-	750 – 800	-
<011>	375 – 750	-	375 – 750	-
<100>	187,5 – 375	-	187,5 – 375	187,5 – 250
<101>	93,75 – 187,5	-	93,75 – 187,5	93,75 – 187,5
<110>	46,875 – 93,75	-	46,875 – 93,75	46,875 – 93,75
<111>	23,4375 – 46,875	-	23,4375 – 46,875	23,4375 – 46,875

Для включения соответствующего буфера необходимо устанавливать управляющие поля BUF1_EN=1, BUF2_EN=1, LVDS_EN=1, CMOS_EN=1 в любой комбинации.

Сигнал с выхода 1 канала делителя частоты выводится через ВЧ буфер, подключенный к выходам OUT1P, OUT1N. ВЧ-буферы представляют собой дифференциальные усилители с открытым коллектором. В качестве внешней нагрузки необходимо использовать резисторы сопротивлением 50 Ом или индуктивности. Нагрузку необходимо подключать между соответствующими выходами и шиной питания. Подключение внешней нагрузки на синфазный выход OUT2 не требуется.

Опорный ток усилителей и, соответственно, выходную мощность можно регулировать установкой BPWR1 или BPWR2.

Дифференциальный сигнал частотой до 800 МГц можно получить с выходов LVDS_P и LVDS_N в стандарте LVDS на подключенной нагрузке сопротивлением 100 Ом. LVDS-буфер может быть подключен как к первому, так и ко второму каналу делителя частоты в зависимости от установки MUXLVDS. При отключенном буфере (LVDS_EN=0) для определения состояния линии может использоваться установка FSLVDS=1. При этом между выводами LVDS_P, LVDS_N установится напряжение примерно равное 130 мВ. Установкой STMODLVDS = 1 возможно переводить буфер в статическое состояние на выходе, полярность которого определяет установка ST.

Прямоугольный сигнал частотой до 250 МГц можно получить на выходе OUTCMOS. КМОП-буфер может быть подключен как к первому, так и ко второму каналу делителя частоты в зависимости от установки MUXCMOS.

10. Детектор захвата частоты

Встроенный цифровой детектор захвата вырабатывает флаг захвата петли ФАПЧ, когда разность фаз между входными сигналами фазового детектора становится меньше порога, задаваемого шиной LDPT<1:0> и не превышает этот порогна протяжении 128 тактов частоты фазового детектора. Когда разность фаз становится больше порога, детектор сбрасывает сигнал захвата в 0. Порог срабатывания фазового детектора в зависимости от значения LDPT и режима работы синтезатора приведен в таблице 4.

Таблица 4 – Диапазоны выходных частот на выходах RF, LVDS, CMOS

Режим работы	LDPT<1:0>	Пороговая разность фаз входных сигналов фазового детектора, нс
Целочисленный	X	2
Дробный	<00>	400
	<01>	80
	<10>	25
	<11>	4

Для корректной работы детектора в дробных режимах работы при MUXFB = 0 необходимо устанавливать LDPT=<11>, если не задействована смещающая добавка тока ЗРБ (ENOFFSET = 0). Если ENOFFSET = 1, то рекомендуется использовать LDPT = <10>.

При MUXFB = 1 или MUXFB = 2 оптимальное значение LDPT необходимо выбирать в зависимости от уставленного значения коэффициента выходных делителей DIV1 или DIV2 в соответствии с таблицей 5.

Таблица 5 – Оптимальное значение LDPT в дробных режимах работы в зависимости от установок DIV1 или DIV2 (при MUXFB ≠ 0)

DIV1 (при MUXFB=1) или DIV2 (при MUXFB =2)	LDPT (при ENOFFSET=0)	LDPT (при ENOFFSET=1)
0,1	<11>	<10>
2,3	<10>	<01>
4,5	<01>	<00>
6,7	<00>	<00>

Сигнал цифрового детектора захвата выводится на выход LD (при поле LD = 0, регистра 4), а также может быть выведен на выход OUTCMOS (для этого необходимо установить LDCMOS = 1) или на универсальный выход MUXOUT (при MUXOUT= <110>).

При установке LD = 1 на выход LD выводится импульсный сигнал, частота которого соответствует частоте фазового детектора, а длительность импульсов равна разности фаз между входными сигналами фазового детектора. Используя этот сигнал, можно построить аналоговую систему детектирования захвата ФАПЧ.

11. Универсальный выход MUXOUT

На выход MUXOUT могут быть выведены различные сигналы в зависимости от значения сигнала управляющего поля MUXOUT<2:0> в соответствии с таблицей 6.

Таблица 6 – Конфигурация универсального выхода MUXOUT

MUXOUT	Состояние на выводе MUXOUT
<000>	Высокоимпедансное состояние
<001>	Логическая «1»
<010>	Логический «0»
<011>	Выходной сигнал делителя опорной частоты
<100>	Выходной сигнал петлевого делителя частоты
<101>	Сигнал поделенной на две частоты петлевого делителя
<110>	Флаг цифрового детектора захвата частоты
<111>	Флаг окончания авто калибровки ГУН

12. Время перестройки частоты ФАПЧ и функция предотвращения проскальзывания циклов CSR

ФАПЧ является системой автоматического управления с обратной связью, динамические и фильтрующие свойства которой, а также вид переходного процесса при перестройке частоты зависят от значений системных параметров и номиналов компонентов петлевого фильтра. Динамические и фильтрующие свойства ФАПЧ определяются следующим набором параметров:

- F_{LBW} – полоса пропускания контура ФАПЧ;
- F_n – частота собственных колебаний контура ФАПЧ;
- ξ – коэффициент затухания собственных колебаний контура ФАПЧ;
- ϕ_m – запас по фазе контура ФАПЧ.

Вид переходного процесса при перестройке частоты в общем случае обладает колебательным характером с частотой собственных колебаний F_n и коэффициентом затухания ξ (см. рисунок 23).

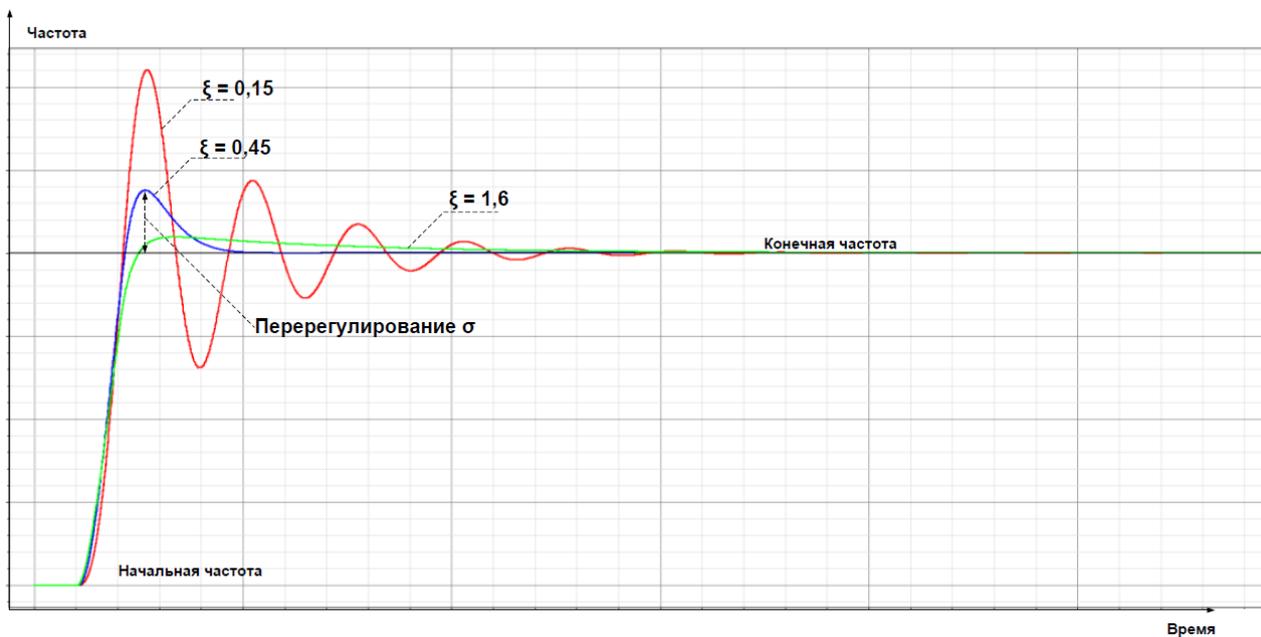


Рисунок 25 – Общий вид переходного процесса при перестройке частоты

Данный характер перестройки частоты имеет место только при отсутствии эффекта «проскальзывания» циклов. В этом случае время перестройки частоты для заданной ошибки по частоте ε не зависит от величины перестройки по частоте и вычисляется по формулам 14, 15, 16.

$$T_{lock} = \frac{\ln(\varepsilon\sqrt{1-\xi^2})}{2\pi\xi F_n}, \text{ для } 0 < \xi < 1 \quad (14)$$

$$T_{lock} = -\frac{\ln(\varepsilon\xi)}{2\pi\xi F_n}, \text{ для } \xi \geq 1 \quad (15)$$

$$\varepsilon = \frac{F_{error}}{F_2 - F_1}, \quad (16)$$

где

F_{error} – допустимая остаточная ошибка по частоте;

F_1 – начальная частота при перестройке;

F_2 – конечная частота при перестройке.

Перерегулирование (уход частоты выше или ниже конечного значения), особенно выраженное в подобных системах управления для $0 < \xi < 1$, вычисляется по формуле:

$$\sigma = \frac{F_2 - F_1}{\sqrt{1 - \xi^2}} \times e^{\frac{-\xi\pi}{\sqrt{1 - \xi^2}}} \quad (17)$$

Полоса пропускания и частота собственных колебаний связаны соотношением:

$$F_{LBW} = \frac{2\xi F_n}{\sin \varphi_m} \quad (18)$$

Из формул 14 и 15 следует, что время перестройки близко к минимально возможному значению при $0,5 < \xi < 1$ для $\varepsilon = 5 \div 10$ %. При малых ξ сильно выражен колебательный процесс, а при $\xi > 1$ переходной процесс становится аperiodическим с малым перерегулированием, но затянутым временем установления для малых ε . На практике, как правило, имеет место диапазон значений $0,5 < \xi < 1$.

Поскольку $F_n \sim F_{LBW}$ для заданного ξ и φ_m для уменьшения времени перестройки необходимо увеличивать полосу пропускания контура ФАПЧ.

Формулы для определения параметров F_{LBW} , F_n , ξ , φ_m через номиналы компонентов петлевого фильтра приведены в разделе «Расчет значений компонентов петлевого фильтра».

Кроме того, для данного класса систем ФАПЧ характерно «волнообразное» поведение основной частоты при перестройке с одной частоты на другую, что называют «проскальзыванием» циклов (рисунок 24). Эффект связан с периодическим характером передаточной характеристики фазового детектора, в результате которого происходит периодический сброс фазовой ошибки, накопленной к определенному моменту времени. Эффект наблюдается в случае, если частота работы фазового детектора много больше полосы пропускания петли ФАПЧ. Как следствие, может сильно увеличиваться время перестройки ФАПЧ.

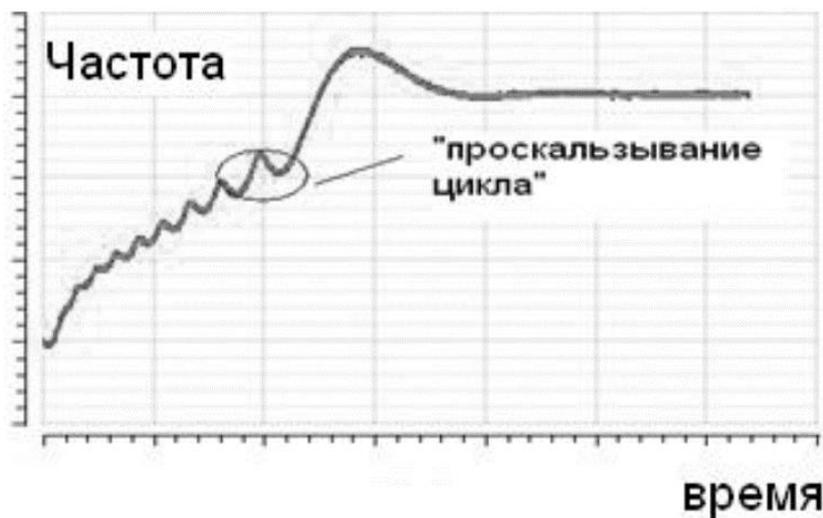


Рисунок 26 – Переходный процесс в петле ФАПЧ

В модуле реализован механизм, предотвращающий эффект «проскальзывания». В определенные моменты времени по специальным внутренним сигналам происходит увеличение или уменьшение выходного тока ЗРБ.

Таким образом, переходной процесс происходит с изменяющимся током ЗРБ. За счет этого устраняется эффект «проскальзывания».

Функция задается установкой $CSR = 1$ и устанавливает конечный ток ЗРБ, соответствующий минимальному значению (значению при $CPCUR = <00000>$) независимо от установленного в регистре значения $CPCUR$. Т. е. функция работает только для $CPCUR = <00000>$.

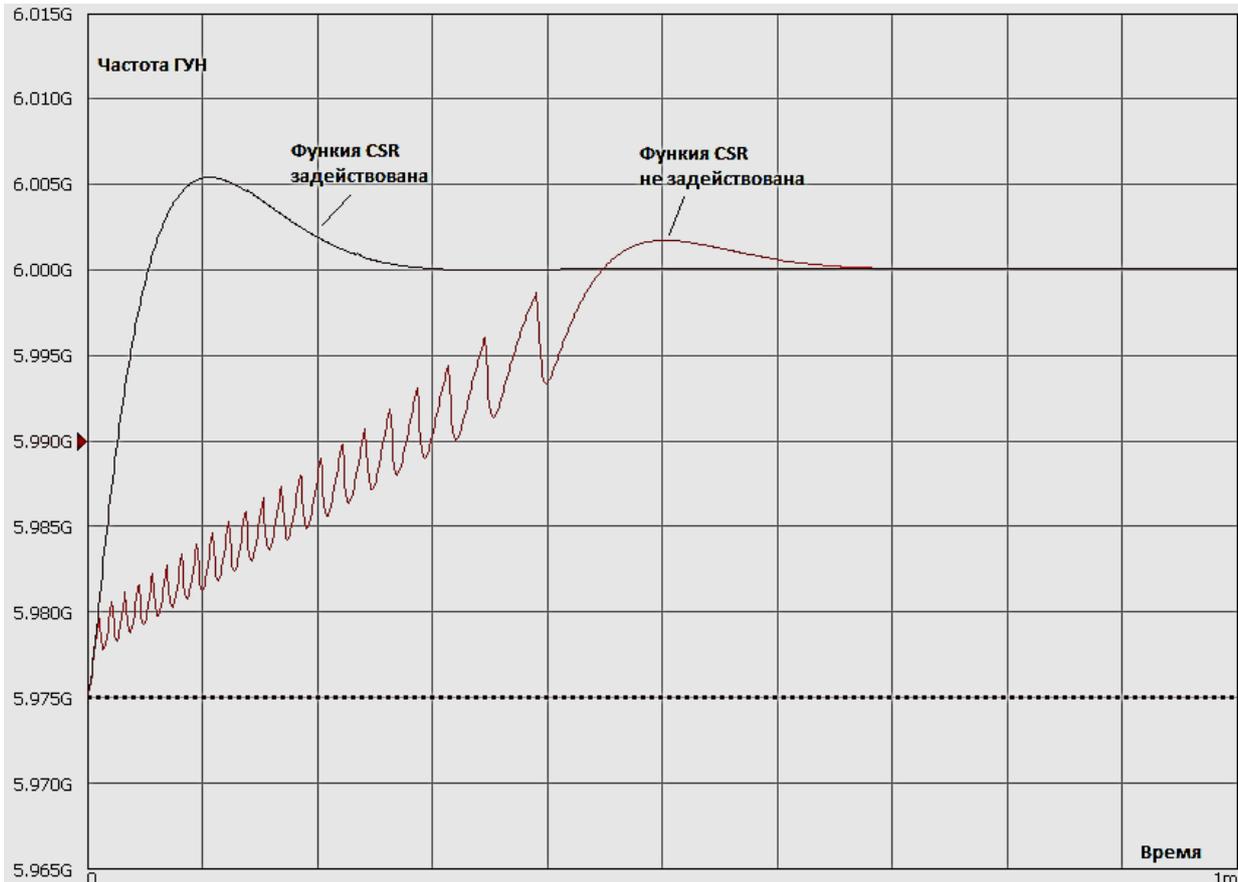


Рисунок 27– Переходные процессы частоты ГУН при перестройке ФАПЧ с частоты 5,975 ГГц на частоту 6 ГГц

Если проявляется эффект «проскальзывания» циклов, то переходной процесс перестройки частоты затягивается и выглядит как на рисунке 25, а время перестройки начинает зависеть от величины перестройки. В этом случае время перестройки частоты увеличивается в число раз, соответствующее фактору увеличения OVR_{CS} , который определяется по формуле:

$$OVR_{CS} = \max \left(1, \frac{F_{PPD} \left(1 - \frac{F_2}{F_1} \right)}{5F_{LBV}} \right) \quad (19)$$

Таким образом, с учетом эффекта «проскальзывания» и времени, необходимого на автокалибровку ГУН, общее время переключения синтезатора с частоты на частоту определяется по следующим формулам:

- для $0 < \xi < 1$, режим с автокалибровкой при $CSR = 0$:

$$T_{switch} = T_{CAL} + \max\left(1, \frac{F_{PFD}}{2000 \times F_{LBW}}\right) \times \left(-\frac{\ln(\varepsilon\sqrt{1-\xi^2})}{2\pi\xi F_n}\right), \quad (20)$$

- для $\xi \geq 1$, режим с автокалибровкой при CSR = 0:

$$T_{switch} = T_{CAL} + \max\left(1, \frac{F_{PFD}}{2000 \times F_{LBW}}\right) \times \left(-\frac{\ln(\varepsilon\xi)}{2\pi\xi F_n}\right), \quad (21)$$

- для $0 < \xi < 1$, режим с автокалибровкой при CSR = 1:

$$T_{switch} = T_{CAL} - \frac{\ln(\varepsilon\sqrt{1-\xi^2})}{2\pi\xi F_n}, \quad (22)$$

- для $\xi \geq 1$, режим с автокалибровкой при CSR = 1:

$$T_{switch} = T_{CAL} - \frac{\ln(\varepsilon\xi)}{2\pi\xi F_n}, \quad (23)$$

- для $0 < \xi < 1$, режим с отключенной калибровкой при CSR = 0:

$$T_{switch} = \max\left(1, \frac{F_{PFD} \left|1 - \frac{F_2}{F_1}\right|}{5F_{LBW}}\right) \times \left(-\frac{\ln(\varepsilon\sqrt{1-\xi^2})}{2\pi\xi F_n}\right), \quad (24)$$

- для $\xi \geq 1$, режим с отключенной калибровкой при CSR = 0:

$$T_{switch} = \max\left(1, \frac{F_{PFD} \left|1 - \frac{F_2}{F_1}\right|}{5F_{LBW}}\right) \times \left(-\frac{\ln(\varepsilon\xi)}{2\pi\xi F_n}\right). \quad (25)$$

Для режимов с включенной автокалибровкой под $F_2 - F_1$ в формуле 16 необходимо понимать разницу между конечной частотой и средней частотой ГУН в рабочем выбранном диапазоне. Эта величина не превышает 25 МГц. В формулах 24, 25 частоты F_2, F_1 являются начальной и конечной частотами в выбранном диапазоне ГУН. Из формул 20, 21 следует, что в основном режиме с автокалибровкой при CSR = 0 эффект "проскальзывания" начинает проявляться при $F_{PFD}/F_{LBW} \geq 2000$. Для режима с отключенной калибровкой при CSR = 1 время переключения определяются формулами 14 и 15.

13. Функция быстрого захвата частоты

Для уменьшения времени захвата ФАПЧ может использоваться функция быстрого захвата частоты. Быстрый захват достигается за счет временного увеличения тока ЗРБ в 16 раз по сравнению с установленным в регистре CPCUR значением. При этом для сохранения коэффициента затухания и запаса по фазе контура ФАПЧ необходимо уменьшение резистора R9 фильтра ФАПЧ (в соответствии со схемой включения) в 4 раза. Это достигается разбиением резистора на две части и использованием выхода SW (рисунок 26).

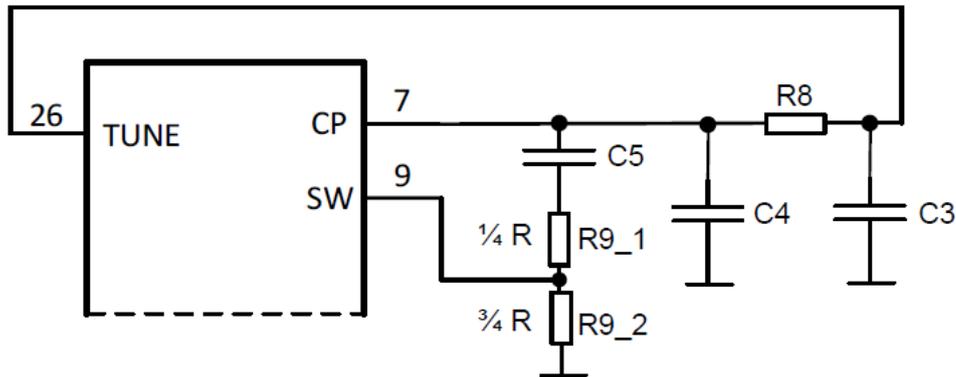


Рисунок 28 – Схема подключения фильтра ФАПЧ в случае использования функции быстрого захвата частоты

На время увеличения тока часть резистора R9_2 шунтирована внутренним ключом ИМС, и сопротивление резистора R9 определяется его частью R9_1. В результате работы функции достигается временное расширение полосы пропускания ФАПЧ в 4 раза. Части сопротивления R9 должны иметь следующие значения номиналов:

$$R9_1 = 0,25R,$$

$$R9_2 = 0,75R,$$

где

R – номинал резистора R9 для исходной полосы пропускания ФАПЧ (заданной значением выходного тока ЗРБ установкой CPCUR).

Функция быстрого захвата частоты функционирует только при CPCUR = <00000> или <00001> и задействуется установкой FL = 1. Недопустимо использование данной функции совместно с функцией предотвращения проскальзывания циклов CSR.

Время работы с увеличенным током и шунтированным резистором должно быть не менее времени захвата ФАПЧ с увеличенной полосой пропускания. Это время задается встроенным в модуль таймером, путем программирования установки TIMEFL. Время определяется по формуле:

$$T_{FL} = \frac{TIMEFL}{F_{PFD}}. \quad (26)$$

Таймер времени запускается (начинает отсчет) в момент окончания работы системы автокалибровки ГУН или в момент окончания записи регистра с адресом <000> (для случая работы в режиме с отключенной автокалибровкой ГУН).

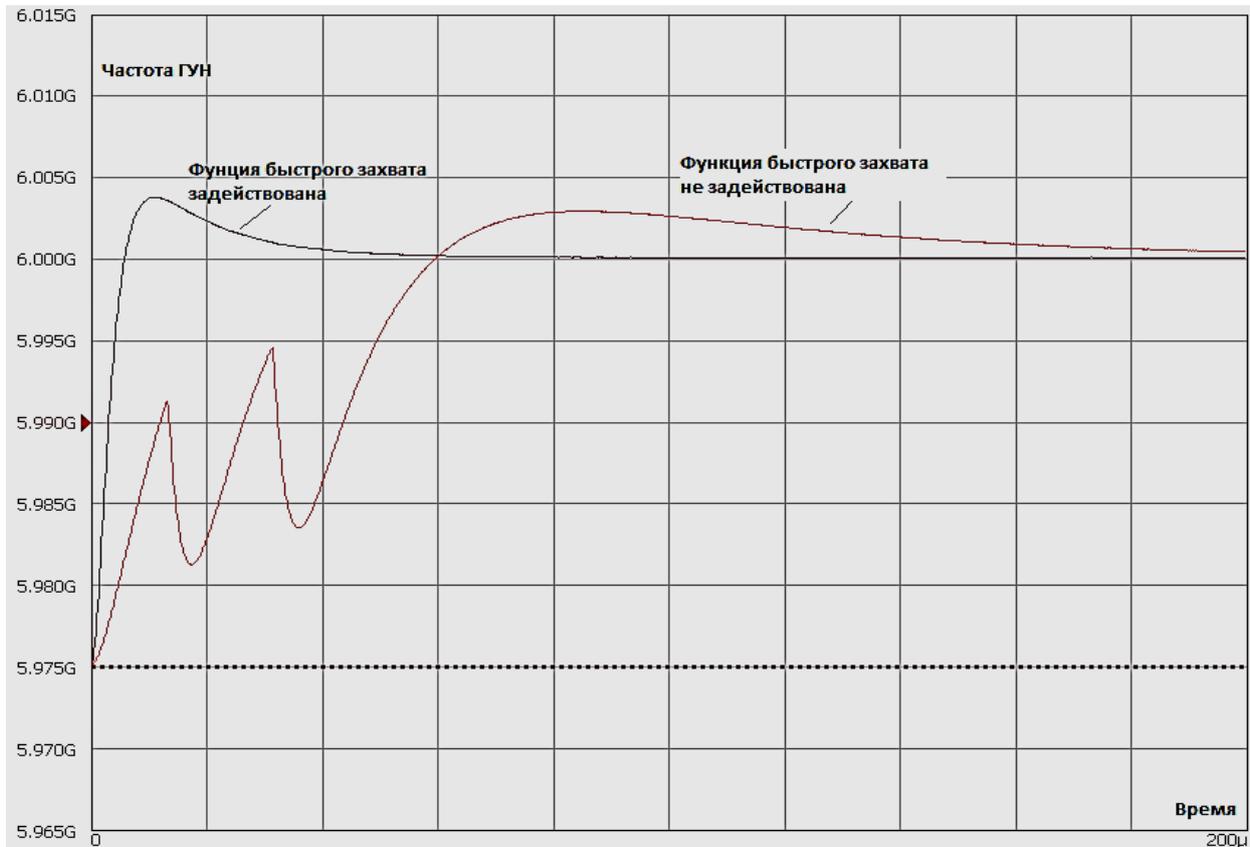


Рисунок 29 – Переходные процессы частоты ГУН при перестройке ФАПЧ с частоты 5,975 ГГц на частоту 6 ГГц

14. Отключение буферов выходного сигнала

При наличии логической «1» на входе MUTE буферы выходного сигнала отключены. Также существует возможность отключения буферов выходного сигнала во время установления частоты. Это действует установка MUTE = 1. В этом случае выходной сигнал на сигнальных выходах будет отсутствовать до тех пор, пока флаг детектора захвата находится в логическом «0».

15. Выбор оптимального значения полосы пропускания ФАПЧ

Значение полосы пропускания F_{LBW} определяет фильтрующие и динамические свойства контура ФАПЧ и является важнейшей характеристикой. ФАПЧ является, с одной стороны, фильтром низких частот для шума опорного сигнала, шума фазового детектора и ЗРБ, а с другой — фильтром верхних частот для шума ГУН. Таким образом, фазовый шум внутри полосы ФАПЧ при условии не шумящего опорного сигнала определяется шумом фазового детектора и ЗРБ и вычисляется по формулам:

$$P_{n_inband_floor} = P_{n_floor} + 10 \log F_{PFD} + 20 \log N, \quad (27)$$

$$P_{n_inband_flick_10кГц} = P_{n_flick_10кГц} + 20 \log \frac{F_{RF}}{1 \text{ ГГц}} \quad (28)$$

где

P_{n_floor} – нормированный уровень тепловых фазовых шумов в целочисленном режиме;

$P_{n_flick_10кГц}$ – нормированный уровень фазовых фликкер-шумов в целочисленном режиме (измеряется на отстройке 10 кГц, нормируется на частоту 1 ГГц).

Исходя из описанных фильтрующих свойств системы ФАПЧ оптимальное значение полосы пропускания с точки зрения минимально возможных фазовых шумов целесообразно выбирать по следующему алгоритму:

1. Для выбранного режима работы синтезатора определить уровень шума внутри полосы ФАПЧ по формулам 27,28
2. Исходя из профилей ФШ ГУН определить частоту отстройки, на которой фазовый шум ГУН равен значению $P_{n_inband_floor}$. Полученное значение отстройки соответствует оптимальному значению F_{LBW} .

Рисунок 27 поясняет описанную методику.

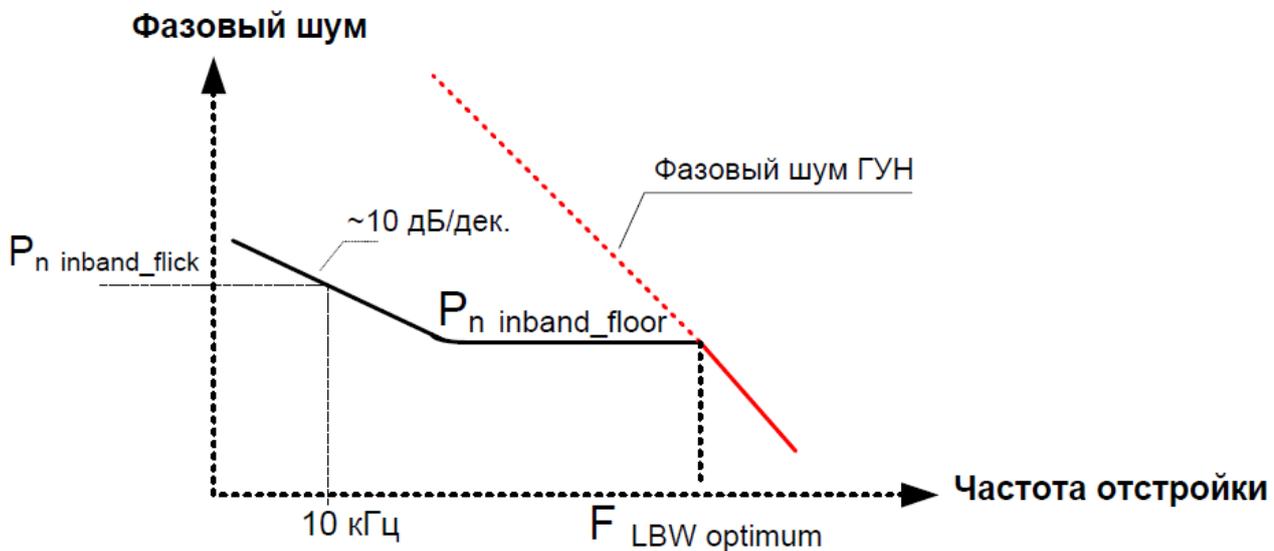


Рисунок 30 – Выбор оптимального значения полосы пропускания петли ФАПЧ в целочисленном режиме работы

Однако, при выборе значения F_{LBW} необходимо также иметь в виду следующие обстоятельства:

– $F_{LBW} \leq 0,1 \cdot F_{PFD}$. Данное условие должно быть выполнено обязательно во всех режимах работы синтезатора. Его невыполнение приведет к отсутствию захвата контура ФАПЧ и биениям выходной частоты, при этом запрещается даже кратковременное нарушение условия (если, например, используется функция быстрого захвата, и F_{LBW} кратковременно повышается в четыре раза);

– описанная методика справедлива только для целочисленного режима работы. В дробных режимах для эффективного подавления шума квантования сигма-дельта модулятора рекомендуется выбирать

$$F_{LBW} \leq \frac{F_{PFD}}{500} \quad (29)$$

– выбранное оптимальное значение F_{LBW} с точки зрения минимально возможного фазового шума синтезатора может быть не оптимальным с точки зрения времени переключения частоты.



16. Фазовый шум и паразитные составляющие спектра выходного сигнала в разных режимах работы

В дробных режимах работы паразитные дискретные составляющие спектра имеют место на частотах отстройки в соответствии с таблицей 7.

Таблица 7 – Паразитные спектральные составляющие в дробных режимах работы

Тип дискретных составляющих в спектре	MOD2	Минимальная частота отстройки дискретных составляющих в спектре
Дробные дискретные составляющие, вызванные сигма-дельта модулятором (Fractional spurs, могут быть устранены включением псевдослучайной последовательности DITH = 1)	делится на 2, но не делится на 3	шаг сетки синтезатора/2
	делится на 3, но не делится на 2	шаг сетки синтезатора/3
	делится на 6	шаг сетки синтезатора/6
	в остальных случаях	шаг сетки синтезатора
Граничные к целому составляющие, связанные с паразитным взаимодействием гармоник опорной частоты синтезатора с выходной частотой (Integer boundary spurs)	-	$F_{RF} - F_{PFD} \cdot INT$

Дробные дискретные составляющие могут быть устранены за счет включения псевдослучайной последовательности установкой DITH = 1. Уровень граничных к целому составляющих может быть уменьшен введением тока смещения ЗРБ.

В целочисленном режиме дискретные составляющие расположены на отстройках, кратных частоте сравнения синтезатора.

17. Функция управления фазой выходного сигнала

Синтезатор имеет встроенную функцию изменения фазы выходного сигнала на одно из четырех состояний (с изменением на 90 °) относительно начальной фазы. Эта функция работает только в режиме MOD2 = 16, FRAC2 = 0 при MODSEL = <00> и F01 = 0. Формально это дробный режим с MOD2 = 16, но, поскольку FRAC2 = 0, коэффициент деления петлевого делителя частоты N = INT.

Функция задействуется установками PRESINC = <01>, PHASE = 1.

Начальная фаза выходного сигнала относительно сигнала опорной частоты определяется разностью фаз входных сигналов фазового детектора и задержками трактов петлевого делителя и выходных буферов. Если не задействованы выходные делители частоты (DIV1,2 = 0), то начальная фаза стабильна, не зависит от случайных начальных состояний внутренних блоков и имеет одно и то же значение при многократном программировании модуля. Для того, чтобы начальная фаза была стабильна при использовании выходных делителей частоты (для выходных частот ниже 3 ГГц), необходимо включать их в петлю фазовой автоподстройки (MUXFB = 1 или 2).

Изменение фазы относительно начального значения происходит в момент времени, задаваемым таймером TIMEFL:

$$T_{PHASE_RESINC} = \frac{TIMEFL}{F_{PFD}} \quad (30)$$

Таймер времени начинает отсчет в момент окончания работы системы автокалибровки ГУН или в момент окончания записи регистра с адресом <000> (для случая работы в режиме с отключенной автокалибровкой ГУН). Время

T_{PHASE_RESINC} должно быть не менее времени захвата ФАПЧ. Если данная функция применяется совместно с функцией Fast Lock, таймер сначала отчитывает время T_{FAST_LOCK} , а затем такое же время T_{PHASE_RESINC} .

В результате работы функции в момент времени, определяемый таймером, происходит изменение фазы выходного сигнала на величину, определяемую значением установки P<13:0> в соответствии с таблицей 8.

Таблица 7 – Изменение фазы выходного сигнала в зависимости от установки P<13:0>

P<13:0>	Величина изменения фазы, °
0	0
4	90
8	180
12	270

18. Ток потребления в различных режимах работы

Ток потребления модуля зависит от конфигурации выходного тракта. Типичная зависимость тока потребления при $U_{CC} = 3,3 \text{ В}$, $T = 25 \text{ °C}$ от диапазона выходной частоты (установки DIV1 или DIV2) для режима, когда задействован один из выходных RF-трактов на максимальной выходной мощности (BPWR1,2 = <11>) и неактивированы выходы LVDS и CMOS, определяется по формулам:

$$I_{OCC_ma} = 160, \text{ для } DIV1,2 = 0,1, \quad (31)$$

$$I_{OCC_ma} = 160 + 7,5(DIV1,2 - 1), \text{ для } DIV1,2 = 2..7. \quad (32)$$

Таким образом, если диапазон выходных частот синтезатора от 1,5 до 11 ГГц ($DIV1,2 = 0,1$), типичное потребление в указанном режиме составит 160 мА. Если же диапазон выходных частот будет установлен от 23,4375 до 46,875 МГц ($DIV1,2 = 7$), то типичное потребление составит 205 мА.

Максимально возможное потребление синтезатора составляет 360 мА при $f_{OUT1} = f_{LVDS} = f_{CMOS} = 23,4375 \text{ МГц}$.

19. Включение и начальное состояние модуля

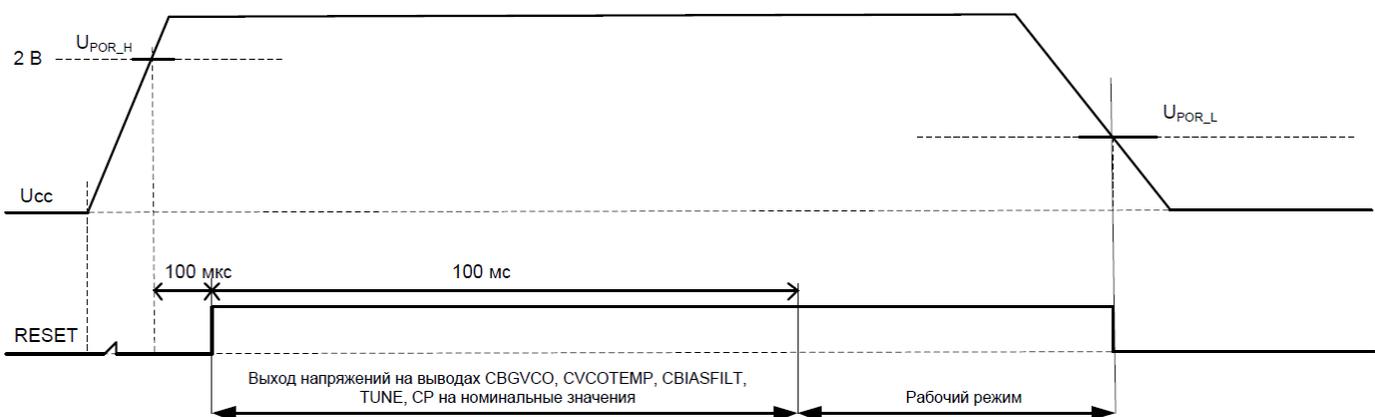


Рисунок 31 – Временная диаграмма включения и выключения модуля



При подаче напряжения питания блок формирования общего сброса удерживает цифровую часть модуля в состоянии общего сброса, пока внутренний сигнал RESET имеет состояние логического нуля. Цифровая часть модуля войдет в рабочий режим, когда напряжение питания U_{cc} превысит пороговое напряжения включения U_{POR_H} (не более 2 В), и пройдет время не менее 100 мкс. До этого момента цифровая часть модуля будет находиться в состоянии сброса. После этого в течение 100 мс будет происходить установка номинальных значений напряжений на конденсаторах, подключенных к выводам CBGVCO, CVCOTEMP, CBIASFILT, TUNE, CP. Затем модуль войдет в рабочее начальное состояние, которое характеризуется следующим:

- ток потребления составляет $120 \text{ мА} \pm 10 \%$;
- значения напряжений на задающих выводах соответствуют таблице 8 ;
- на выходе MUXOUT присутствует сигнал опорной частоты без деления (при условии его наличия на входе REFIN);
- на сигнальных выходах частота не присутствует;
- модуль подготовлен к началу автокалибровки.

Таблица 8 – Напряжения на задающих выводах модуля

Вывод	Напряжение при $U_{cc} = 3,3 \text{ В}$; $T = 25^\circ\text{C}$, В
RREF	$0,575 \pm 10 \%$
CBGVCO	$0,84 \pm 10 \%$
CVCOTEMP	$1,1 \pm 10 \%$
CBIASFILT	$1,95 \pm 10 \%$
TUNE, CP	$1,17 \pm 10 \%$
OUT1P, OUT1N (постоянное смещение)	$1,67 \pm 10 \%$

Для корректной работы модуля загрузку по SPI-интерфейсу необходимо начинать после входа в рабочий режим и установки всех задающих напряжений (через 100 мс после подачи напряжения питания). К моменту окончания загрузки регистра с адресом <000> необходимо наличие сигнала опорной частоты на входе REFIN.

При снятии питающего напряжения U_{cc} сброс цифровой части модуля наступит при достижении уровня порогового напряжения отключения U_{POR_L} (не менее 1 В). После возвращения напряжения питания в рабочий диапазон установленный режим работы модуля будет сброшен и будет необходима новая загрузка режима по SPI-интерфейсу.

20. Общие сведения об интерфейсе программирования

Модуль имеет в составе восемь регистров только для записи и четыре регистра только для чтения для управления и контроля режимами работы. Управление регистрами осуществляется по последовательному SPI-интерфейсу.

21. Запись регистров управления

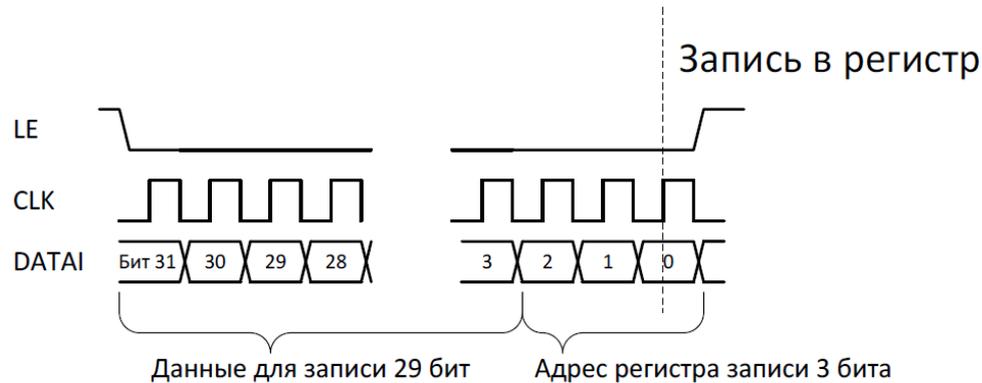


Рисунок 32 – Временная диаграмма сигналов SPI-интерфейса при записи

Запись осуществляется последовательно старшими битами вперед при низком уровне сигнала LE. Фиксация данных в последовательном интерфейсе осуществляется по переднему фронту CLK. Непосредственно запись рабочий регистр осуществляется на последнем 32-ом такте CLK. В первых битах (с 31 по 3) передается конфигурационная информация. В последних битах (с 2 по 0) передается адрес регистра для записи.

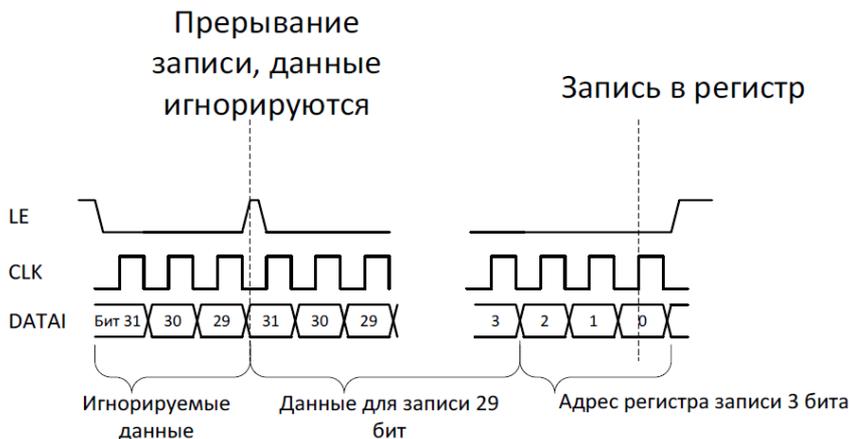


Рисунок 33 – Временная диаграмма сигналов SPI-интерфейса при записи в случае прерывания записи

При поднятии сигнала LE до фронта CLK соответствующего последнему биту передачи транзакция записи прерывается, и передаваемые данные игнорируются.

В основном рабочем режиме после осуществления записи в регистр с адресом <000> запускается процесс калибровки ГУН, поэтому этот регистр должен быть записан последним. Загрузка регистров должна выполняться по адресам регистров в обратном порядке, то есть начинаться с регистра с адресом <111> и заканчиваться регистром с адресом <000>. При изменении конкретных установок и режимов работы модуля возможна запись только конкретных управляющих полей и регистров. Однако некоторые управляющие поля вступают в силу только при записи регистра с адресом <000>. Это следующие управляющие поля: INT<16:0>, R<16:0>, MODSEL<1:0>, FRAC1<23:0>, DBR, MOD2<13:0>, FRAC2<13:0>, CPCUR<4:0>, ALPHA<2:0>, NBS<8:0>, MUXFB<1:0>, DIV1<2:0>, DIV2<2:0>.

22. Чтение внутренних регистров состояния

Для чтения доступны регистры с адресами 007, 008, 009 и 010. Для чтения регистра необходимо осуществить запись в регистр 007 адреса читаемого регистра. После записи последнего бита в регистр 007 на вывод DATAO начинают выдаваться считываемые данные. Данные выдаются по спаду тактового сигнала CLK. Поднятие в высокий уровень сигнала LE при чтении прерывает процесс чтения регистра.

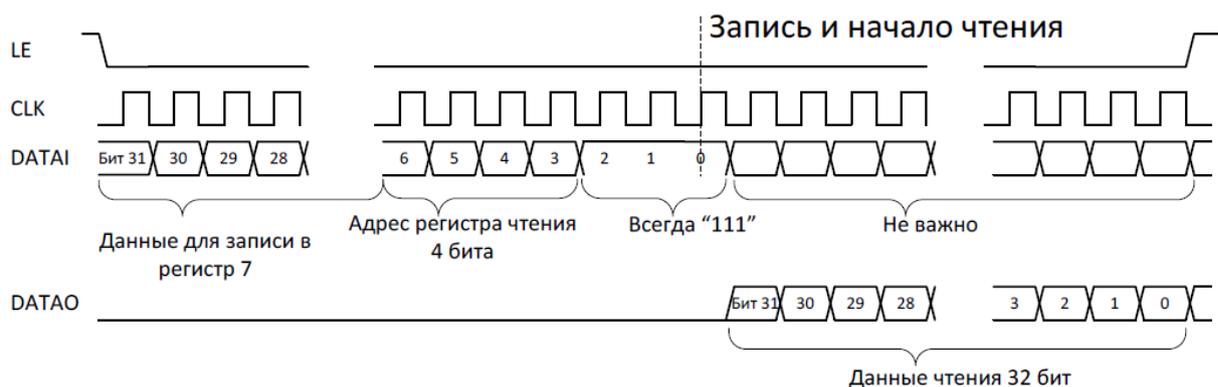


Рисунок 34 – Временная диаграмма сигналов SPI-интерфейса при чтении

После передачи последнего бита считываемых данных на шине DATAO сохраняется значение последнего бита. При высоком уровне LE на шине DATAO выставляется логический «0».

23. Карта регистров SPI-интерфейса

Таблица 9 – Регистр 0 (Адрес 000)

Биты	Обозначение	Предназначение	Определение
31:15	INT<16:0>	Целая часть коэффициента деления петлевого делителя частоты	В целочисленном режиме может принимать значения от 24 до 131071, в дробных режимах – от 27 до 131067
14:3	R<11:0>	Коэффициент деления делителя опорной частоты	1 – 4095
2:0	ADDR<2:0>	Адрес регистра	<000>



Таблица 10 – Регистр 1 (Адрес 001)

Биты	Обозначение	Предназначение	Определение
31:30	MODSEL<1:0>	Выбор режима работы петлевого делителя частоты и сигма-дельта модулятора	<00> - включен дробный режим с переменным MOD2 ($0 \leq \text{FRAC2} \leq \text{MOD2}-1$) <01> - включен дробный режим с постоянным MOD1=2 ²⁴ <10> - включен дробный режим с эффективной разрядностью 36 бит ($3 \leq \text{FRAC1} \leq 16777211$) <11> - включен целочисленный режим
29	F01	Автоматическое включение целочисленного режима при FRAC=0	<0> - если MODSEL=<00> и FRAC2=0, или MODSEL=<01> и FRAC1=0, или MODSEL=<10> и FRAC1=FRAC2=0, то используется дробный режим <1> - если MODSEL=<00> и FRAC2=0, или MODSEL=<01> и FRAC1=0, или MODSEL=<10> и FRAC1=FRAC2=0, автоматически включается целочисленный режим
28	—	—	резерв
27	DITH	Включение подмешивания к входному сигналу сигма-дельта модулятора псевдослучайной последовательности	<0> - генератор ПСП выключен <1> - генератор ПСП включен
26:3	FRAC1<23:0>	Первый числитель дробной части коэффициента деления петлевого делителя	0 – 16777215
2:0	ADDR<2:0>	Адрес регистра	<001>

Таблица 11 – Регистр 2 (Адрес 010)

Биты	Обозначение	Предназначение	Определение
31	DBR	Включение удвоителя опорной частоты	<0> - удвоитель выключен <1> - удвоитель включен
30:17	MOD2 <13:0>	Знаменатель дробной части коэффициента деления петлевого делителя	2 – 16383
16:3	FRAC2 <13:0>	Второй числитель дробной части коэффициента деления петлевого делителя	0 – MOD2-1
2:0	ADDR<2:0>	Адрес регистра	<010>



Таблица 12 – Регистр 3 (Адрес 011)

Биты	Обозначение	Предназначение	Определение
31:27	CPCUR<4:0>	Управления основными источниками тока зарядно-разрядного блока	При $R_{REF} = 5,23 \text{ кОм}$ значение токов (в мА) равны: <00000>=0,16 <00001>=0,32 <11110>=4,96 <11111>=5,12
26:20	CPOFF<6:0>	Величина тока смещения зарядно-разрядного блока.	При $R_{REF} = 5,23 \text{ кОм}$ значение токов (в мкА) равны: <0000000>=5 <0000001>=10 <1111110>=635 <1111111>=640
19	OPF	Направление тока смещения зарядно-разрядного блока	<0> - втекающий <1> - вытекающий
18	ENOFFSET	Включение тока смещения зарядно-разрядного блока	<0> - ток смещения выключен <1> - ток смещения включен
17:15	ALPHA<2:0>	Управление автоматическим режимом выбора тока смещения зарядно-разрядного блока	= 0 - автоматический режим выключен, величина CPOFF задается непосредственно в регистре управления ≠ 0 - величина CPOFF вычисляется в соответствии с формулой 4
14	TRI	Высокоимпедансное состояние зарядно-разрядного блока	<0> - высокоимпедансный режим выключен <1> - высокоимпедансный режим включен
13:12	CPT<1:0>	Управление тестовыми режимами зарядно-разрядного блока	<00> - нормальный режим <01> - включены втекающий и вытекающий токи одновременно <10> - включен только вытекающий ток <11> - включен только втекающий ток
11	PFDSIGN	Управление полярностью фазового детектора	<0> - положительная полярность <1> - отрицательная полярность
10:4	BAND<6:0>	Номер диапазона ГУН при ручной установке (при отсутствии автоматической калибровки)	0 – 127 <0> - нижний частотный диапазон <127> - верхний частотный диапазон
3	BANDMUX	Включение ручной установки диапазона ГУН	<0> - автоматическая установка диапазона ГУН встроенной системой авто калибровки; <1> - ручная установка номера диапазона
2:0	ADDR<2:0>	Адрес регистра	<011>



Таблица 13 – Регистр 4 (Адрес 100)

Биты	Обозначение	Предназначение	Определение
31	RECALOFF	Перезапуск автокалибровки при перестройке частоты	<0> - автоматический перезапуск включен <1> - автоматический перезапуск выключен
30	-	-	резерв
29:21	NBS<8:0>	Делитель тактовой частоты системы автокалибровки	1-511
20:19	LDPT<1:0>	Точность работы детектора захвата частоты в дробном режиме	<11> - 4,5 нс <10> - 5,5 нс <01> - 8 нс <00> - 100 нс
18:17	LD<1:0>	Режим работы выхода детектора захвата частоты	<00> - цифровой детектор <01> - аналоговый детектор <10> - высокий уровень (тестовый) <11> - низкий уровень (тестовый)
16:14	MUXOUT<2:0>	Конфигурация выхода MUXOUT	<000> - высокоимпедансное состояние <001> - высокий уровень <010> - низкий уровень <011> - делитель опорной частоты <100> - петлевой делитель <101> - петлевой делитель/2 <110> - цифровой детектор захвата частоты <111> - флаг окончания автокалибровки ГУН
13:12	TEST<1:0>	тестовые режимы	<00> - рабочий режим <01> - режим тестирования ГУН, выходного тракта и петлевого делителя частоты <10> - рабочий режим ФАПЧ в установленном диапазоне ГУН <11> - режим тестирования делителя опорной частоты, на выходе OUTCMOS лог. 1
11	TESTDIG	режим тестирования цифровой части (ATPG)	<0> - выключен <1> - включен
10:9	PRESINC<1:0>	Режимы работы функций управления начальной фазой выходного сигнала	<00> - функции управления начальной фазой выключены <01> - режим однократной установки начальной фазы через время $TFS = (TIMEFL)/F_{PFD}$ после начала перестройки частоты <10> - резерв <11> - резерв
8	PHASE	Включение функции сдвига фазы выходного сигнала на величину, задаваемую переменной P<13:0>	<0> - функция выключена <1> - функция включена
7:4	-	-	Резерв



Таблица 13 продолжение – Регистр 4 (Адрес 100)

3	FL	Включение функции быстрого захвата частоты	<0> - функция выключена <1> - функция включена
2:0	ADDR<2:0>	Адрес регистра	<100>

Таблица 14 – Регистр 5 (Адрес 101)

Биты	Обозначение	Предназначение	Определение
31:30	MUXFB<1:0>	Выбор подключения входа петлевого делителя	<00> - вход подключен к выходу ГУН <01> - вход подключен к выходному делителю номер 1 <10> - вход подключен к выходному делителю номер 2 <11> - резерв
29	MUXCMOS	Выбор подключения выходного CMOS буфера	<0> - к выходному делителю номер 1 <1> - к выходному делителю номер 2
28	MUXLVDS	Выбор подключения выходного LVDS буфера	<0> - к выходному делителю 1 <1> - к выходному делителю 2
27	BUF1_EN	Включение ВЧ буфера 1	<0> - выключен <1> - включен
26	BUF2_EN	Включение ВЧ буфера 2	<0> - выключен <1> - включен
25	LVDS_EN	Включение LVDS буфера	<0> - выключен <1> - включен
24	CMOS_EN	Включение CMOS буфера	<0> - выключен (высокоимпедансное состояние) <1> - включен
23	DIV1_EN	Включение выходного делителя номер 1	<0> - выключен <1> - включен
22	DIV2_EN	Включение выходного делителя номер 2	<0> - выключен <1> - включен
21:20	BPWR1<1:0>	Управления выходной мощностью первого ВЧ буфера	<00> = -4 дБм <01> = -1 дБм <10> = +2 дБм <11> = +5 дБм
19:18	BPWR2<1:0>	Управления выходной мощностью второго ВЧ буфера	<00> = -4 дБм <01> = -1 дБм <10> = +2 дБм <11> = +5 дБм
17:15	DIV1<2:0>	Управления коэффициентом деления 1-го делителя частоты	<000> = 1 <001> = 2 <010> = 4 <011> = 8 <100> = 16 <101> = 32 <110> = 64 <111> = 128



Таблица 14 продолжение – Регистр 5 (Адрес 101)

14:12	DIV2<2:0>	Управления коэффициентом деления 2-го делителя частоты	<000> = 1 <001> = 2 <010> = 4 <011> = 8 <100> = 16 <101> = 32 <110> = 64 <111> = 128
11	FSLVDS	Сигнал включения определения состояния выходов LVDS буфера при его отключении	<0> - определение состояния линии выключено, $V_{LVDS\ P} - V_{LVDS\ N} = 0$ <1> - определение состояния линии включено, $V_{LVDS\ P} - V_{LVDS\ N} \approx 130\ мВ$
10	STMODLVDS	Сигнал включения LVDS выхода в статическое состояние (тестовый режим), определяемое состоянием входа ST	<0> - обычный режим <1> - тестовый режим
9	ST	Определяет состояние LVDS выхода в тестовом режиме	<0> - $V_{LVDS\ P} - V_{LVDS\ N}$ – соответствует уровню логического 0 <1> - $V_{LVDS\ P} - V_{LVDS\ N}$ – соответствует уровню логической 1
8	LDCMOS	Режим работы выходного CMOS буфера на выдачу сигнала детектора захвата	<0> - CMOS буфер работает в обычном режиме <1> - CMOS буфер выдает флаг детектора захвата
7	CSR	Включение функции “предотвращение проскальзывания циклов”	<0> - функция выключена <1> - функция включена
6	RESDIG	Принудительный сброс цифровой части	<0> - рабочий режим <1> - сброс
5	RESDIV	Принудительный сброс петлевого делителя и делителя опорной частоты	<0> - рабочий режим <1> - сброс
4	MUTE	Включение функции выключения выходных буферов на время установления выходной частоты	<0> - функция выключена <1> - функция включена
3	SHDN	Режим пониженного потребления	<0> рабочий режим <1> режим пониженного потребления
2:0	ADDR<2:0>	Адрес регистра	<101>



Таблица 15 – Регистр 6 (Адрес 110)

Биты	Обозначение	Предназначение	Определение
31:18	P<13:0>	Значение фазы выходного сигнала	0-16383
17:3	-	-	Резерв
2:0	ADDR<2:0>	Адрес регистра	<110>

Таблица 16 – Регистр 7 (Адрес 111)

Биты	Обозначение	Предназначение	Определение
31:26	-	-	Резерв
25:8	TIMEFL<17:0>	Таймер отсчета времени для функций быстрого захвата и установки начальной фазы	0-262143
7	-	-	Резерв
6:3	REGSEL <3:0>	Адрес регистра для чтения	<0111> – регистр 7 <1000> – регистр 8 <1001> – регистр 9 <1010> – регистр 10
2:0	ADDR<2:0>	Адрес регистра	<111>

Таблица 17 – Регистр 7 (только для чтения)

Биты	Обозначение	Предназначение	Определение
31	VAS_STAT	Статус автоматической калибровки	<0> - калибровка не начата <1> - калибровка завершена
30:24	VCO_BAND<6:0>	Используемый частотный диапазон ГУН	<0000000> - зона 0 (нижний частотный диапазон) <1111111> - зона 127 (верхний частотный диапазон)
23:11	CNT_TOTAL<12:0>	Значение счетчиков автокалибровки	1300-8191
10	LDR	Состояние цифрового детектора захвата	<0> - ФАПЧ не в захвате <1> - ФАПЧ в захвате
9:4	BANDSQ <55:50>	Последовательность номеров диапазонов ГУН	
3:0	ADDR<3:0>	Адрес регистра	<0111>

Таблица 18 – Регистр 8 (только для чтения)

Биты	Обозначение	Предназначение	Определение
31:4	BANDSQ <49:22>	Последовательность номеров диапазонов ГУН	
3:0	ADDR<3:0>	Адрес регистра	<1000>

Таблица 19 – Регистр 9 (только для чтения)

Биты	Обозначение	Предназначение	Определение
31:10	BANDSQ <21:0>	Последовательность номеров диапазонов ГУН	
9:4	-	-	Резерв
3:0	ADDR<3:0>	Адрес регистра	<1001>

Таблица 20 – Регистр10 (только для чтения)

Биты	Обозначение	Предназначение	Определение
31:25	CPOFSET<6:0>	Вычисленное значение тока смещения	
24:4	-	-	Резерв
3:0	ADDR<3:0>	Адрес регистра	<1010>

24. Методика расчета петлевого фильтра

Петлевой фильтр ФАПЧ представляет собой пассивную схему, подключаемую между выводами 10 и 26. Значения компонентов петлевого фильтра совместно с системными параметрами I_{CP} , N , K_{VCO} определяют все фильтрующие и динамические свойства ФАПЧ.

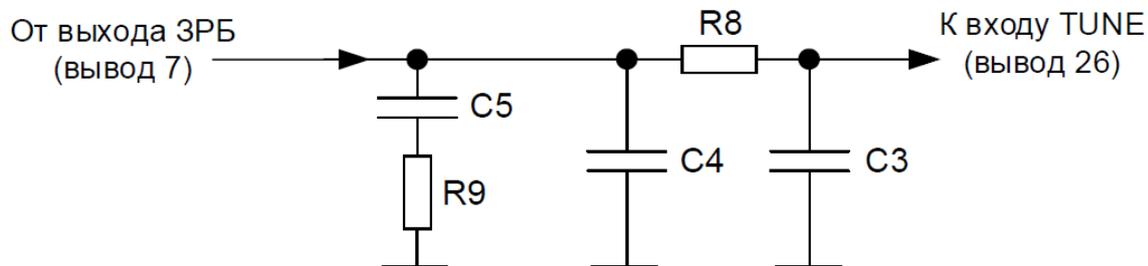


Рисунок 35 – Петлевой фильтр ФАПЧ

Динамические свойства также определяются запасом по фазе контура ФАПЧ. Запас по фазе приблизительно можно представить в виде:

$$\varphi_m = \varphi_{m0} - \Delta\varphi_m, \quad (33)$$

$$\varphi_{m0} = \tan^{-1} \frac{ratio}{2\sqrt{ratio + 1}}, \quad (34)$$

$$\Delta\varphi_m = \tan^{-1}(2\pi F_{LBW} \times R8 \times C3), \quad (35)$$

$$ratio = \frac{C5}{C4}, \quad (36)$$

$$ratio = 2\tan^2 \varphi_{m0} + 2 \tan \varphi_{m0} \sqrt{1 + \tan^2 \varphi_{m0}}, \quad (37)$$

где:

φ_{m0} – запас по фазе главного звена;

$\Delta\varphi_m$ – уменьшение запаса в звене, связанное с цепью R8,C3.

Запас по фазе связан с коэффициентом затухания следующим выражением:

$$\xi = 0,5 \frac{\sin \varphi_m}{\sqrt{\cos \varphi_m}}. \quad (38)$$

Полоса пропускания контура ФАПЧ определяется выражением:

$$F_{LBW} = \frac{K_{VCO} \times I_{CP} \times R9}{2\pi N} \times \frac{1}{1 + \frac{1}{ratio}}. \quad (39)$$

Коэффициент затухания

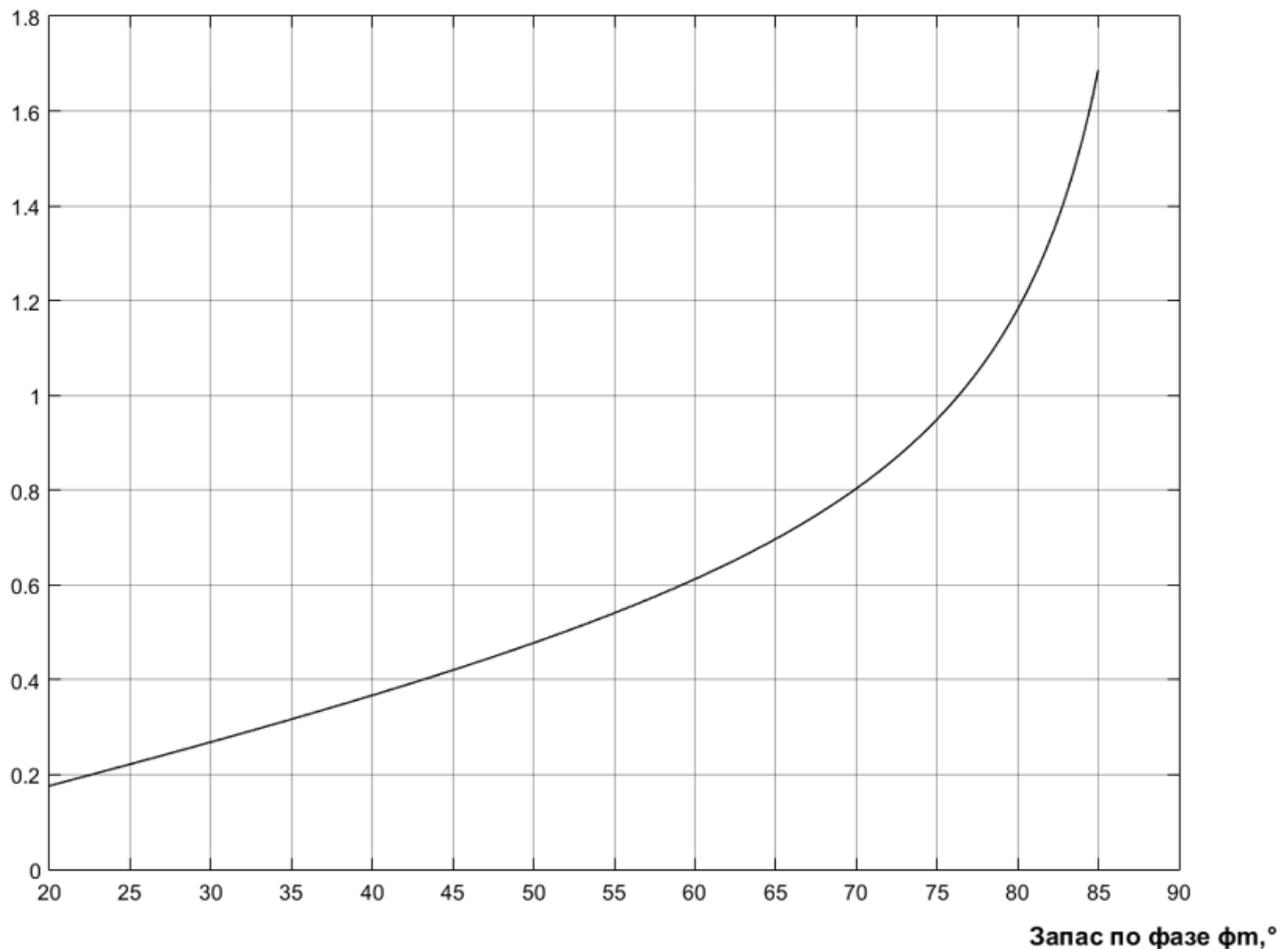


Рисунок 36 – Зависимость коэффициента затухания от запаса по фазе контура ФАПЧ

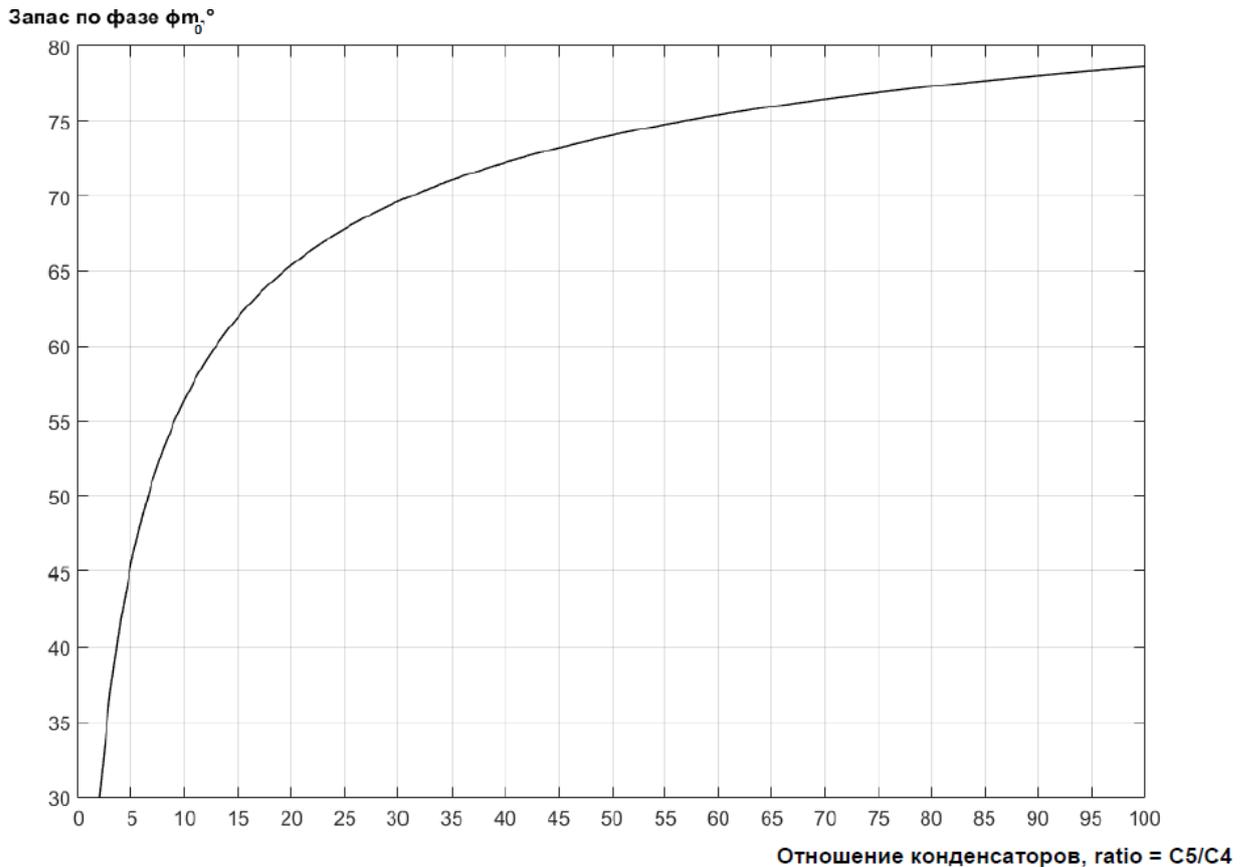


Рисунок 37 – Зависимость запаса по фазе контура ФАПЧ от отношения номиналов конденсаторов C5/C4

Частота собственных колебаний определяется по формуле:

$$F_N = F_{LBW} \times \sqrt{\cos \varphi_m}. \quad (40)$$

Заметим, что частота F_{LBW} определяет частоту единичного усиления разомкнутого контура ФАПЧ и с точки зрения фильтрующих свойств системы является частотой сопряжения профиля шумов ГУН и внутри полосных шумов ФАПЧ. Однако, этой частотой принято называть полосу пропускания контура. Более строго, полоса пропускания по уровню 3 дБ определяется по формуле:

$$F_{LBW_{3дБ}} = F_N \times \sqrt{(2\xi^2 + 1) + \sqrt{(2\xi^2 + 1)^2 + 1}}. \quad (41)$$

Исходя из приведенных соотношений расчет значений компонентов петлевого фильтра может выполняться по следующему алгоритму:

1. Для выбранного ξ определить необходимый запас по фазе в системе по рисунку или по формуле 38. Типичные значения ξ лежат в диапазоне от 0,4 до 1 и соответствуют запасу по фазе от 40 до 70°. Для данных значений достигается минимально возможное время перестройки частоты.
2. Для заданного φ_m выбрать φ_{m0} , исходя из формулы 33 и условия $\Delta\varphi_m = 5..15^\circ$.



3. Выбрать отношение конденсаторов C5/C4 (ratio) по формуле 36.
4. Для заданного режима работы синтезатора (величин N, K_{VCO}, I_{CP}) и выбранного значения полосы пропускания F_{LBW} определить значение резистора R9 по формуле:

$$R9 = \frac{2\pi N F_{LBW}}{K_{VCO} \times I_{CP}} \times \left(1 + \frac{1}{ratio}\right) \quad (42)$$

5. Определить значение конденсаторов C5, C4 по формулам:

$$C5 = \frac{\sqrt{ratio + 1}}{2\pi R9 \times F_{LBW}}, \quad (43)$$

$$C4 = \frac{C5}{ratio}, \quad (44)$$

6. Значение резистора R8 выбрать в диапазоне 500 Ом ... 2 кОм.
7. Определить значение конденсатора C3 по формуле:

$$C3 = \frac{\tan \Delta\varphi_m}{2\pi R8 \times F_{LBW}}, \quad (45)$$

8. Проверить выполнение обязательного условия:

$$R8 + \frac{1}{2\pi\sqrt{ratio} \times F_{LBW} \times C3} > \frac{1}{4\pi\sqrt{ratio} \times F_{LBW} \times C4}. \quad (46)$$

Выполнение данного условия обязательно. Его невыполнение приведет к сильному ухудшению запаса по фазе контура ФАПЧ, относительно расчетных значений. Если же выполнить данное условие не удастся, возможна установка резистора R8 номиналом более 2 кОм и пересчет номинала конденсатора C3 по формуле 45, однако, надо иметь в виду что большие значения резистора R8 могут приводить к ухудшению фазового шума синтезатора в диапазоне отстроек вблизи полосы пропускания контура ФАПЧ. Кроме того, для того чтобы выполнить условие 46, а также использовать конденсаторы C4, C3 номиналом не менее 10 и 5 пФ соответственно рекомендуется выбирать значение тока I_{CP} не менее 500 мкА, если только это не противоречит иным системным требованиям (например, использованию функций быстрого захвата и Cycle Slip Reduction).

Пример 1. Целочисленный режим работы, F_{REF} = F_{FPD} = 100 МГц, F_{RF} = 3...6 ГГц, F_{OUT1} = 3...6 ГГц, F_{OUT2} = 6...10 ГГц.

Для заданного режима работы N = INT = 30...60. Определим фазовый шум внутри полосы ФАПЧ по формулам 27 и 28, исходя из нормализованных параметров, заданных в таблице, и оптимальное значение полосы пропускания ФАПЧ по методике, приведенной в разделе 15.

1. Для $F_{OUT1} = 3 \text{ ГГц}$, $F_{OUT2} = 6 \text{ ГГц}$

$$P_{n_inband_floor} = -226 + 10 \log(100 \text{ МГц}) + 20 \log 30 = -116,4 \text{ дБн/Гц}$$

$$P_{n_inband_flick_10\text{кГц}} = -116 + 20 \log \frac{3 \text{ ГГц}}{1 \text{ ГГц}} = -106,4 \text{ дБн/Гц}$$

$$F_{LBW_optimum} \approx 250 \text{ кГц (по рисунку 27)}$$

2. Для $F_{OUT1} = 4,5 \text{ ГГц}$, $F_{OUT2} = 9 \text{ ГГц}$

$$P_{n_inband_floor} = -226 + 10 \log(100 \text{ МГц}) + 20 \log 45 = -112,9 \text{ дБн/Гц}$$

$$P_{n_inband_flick_10\text{кГц}} = -116 + 20 \log \frac{4,5 \text{ ГГц}}{1 \text{ ГГц}} = -102,9 \text{ дБн/Гц}$$

$$F_{LBW_optimum} \approx 300 \text{ кГц (по рисунку 27)}$$

3. Для $F_{OUT1} = 6 \text{ ГГц}$

$$P_{n_inband_floor} = -226 + 10 \log(100 \text{ МГц}) + 20 \log 60 = -110,4 \text{ дБн/Гц}$$

$$P_{n_inband_flick_10\text{кГц}} = -116 + 20 \log \frac{6 \text{ ГГц}}{1 \text{ ГГц}} = -100,4 \text{ дБн/Гц}$$

$$F_{LBW_optimum} \approx 300 \text{ кГц (по рисунку 27)}$$

Исходя из возможной вариации фазового шума ГУН и с целью лучшей демонстрации фазового шума внутри полосы ФАПЧ выберем $FLBW = 600 \text{ кГц}$ и рассчитаем значения компонентов петлевого фильтра по методике, приведенной в данном разделе, для $FRF = 4,5 \text{ ГГц}$ ($N = 45$).

1. С целью минимизации времени переключения частоты синтезатора выберем $\xi = 0,5$ (см. раздел 12). По рисунку 30 этому соответствует $\varphi_m \approx 50^\circ$.
2. Выберем $\varphi_{m0} = 55^\circ$, $\Delta\varphi_m = 5^\circ$. По рисунку 31 этому соответствует $ratio \approx 10$.
3. Для $F_{RF} = 4,5 \text{ ГГц}$ из рисунка 2 примем $K_{VCO} = 40 \text{ МГц/В}$ и выберем $I_{CP} = 1,92 \text{ мА}$. По формуле 42 получаем $R9 \approx 2,4 \text{ кОм}$.
4. По формулам 43 и 44 получаем $C5 \approx 390 \text{ пФ}$, $C4 \approx 39 \text{ пФ}$.
5. Выберем $R8 = 1 \text{ кОм}$.
6. Для $\Delta\varphi_m = 5^\circ$ по формуле 45 получаем $C3 \approx 22 \text{ пФ}$.
7. Условие 46 выполнено.

Таблица 21 – Значения компонентов петлевого фильтра для примера 1.

R9	C5	C4	R8	C3
2,4 кОм	390 пФ	39 пФ	1 кОм	22 пФ



Пример 2. Дробные режимы работы, $F_{REF} = 100$ МГц, $F_{PFD} = 50$ МГц, $F_{RF} = F_{OUT1} \approx 4,5$ ГГц, $F_{OUT2} \approx 9$ ГГц.

Исходя из формулы 29 выберем $F_{LBW} = 50$ кГц.

1. С целью минимизации времени переключения частоты синтезатора выберем $\xi = 0,5$ (см. раздел 12). По рисунку 30 этому соответствует $\varphi_m \approx 50^\circ$.
2. Выберем $\varphi_{m0} = 65^\circ$, $\Delta\varphi_m = 15^\circ$. По рисунку 31 этому соответствует $ratio \approx 20$. Для дробных режимов работы необходимо эффективнее использовать фильтрующие свойства звена R8C3.
3. Для $F_{RF} = 4,5$ ГГц из рисунка 2 примем $K_{VCO} = 40$ МГц/В и выберем $I_{CP} = 960$ мкА. По формуле 42 получаем $R9 \approx 770$ Ом.
4. По формулам 43 и 44 получаем $C5 \approx 18$ нФ, $C4 \approx 900$ пФ.
5. Выберем $R8 = 1$ кОм.
6. Для $\Delta\varphi_m = 15^\circ$ по формуле 45 получаем $C3 \approx 800$ пФ.
7. Условие 46 выполнено.

Таблица 22 – Значения компонентов петлевого фильтра для примера 2.

R9	C5	C4	R8	C3
770 Ом	18 нФ	900 пФ	1 кОм	800 пФ



СОДЕРЖАНИЕ

КРАТКОЕ ОПИСАНИЕ	1
ОСНОВНЫЕ ХАРАКТЕРИСТИКИ	1
ПРИМЕНЕНИЕ	1
СТРУКТУРНАЯ СХЕМА.....	1
ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ	2
СПРАВОЧНЫЕ ПАРАМЕТРЫ	3
ПРЕДЕЛЬНЫЕ И ПРЕДЕЛЬНО-ДОПУСТИМЫЕ РЕЖИМЫ ЭКСПЛУАТАЦИИ	4
ОСНОВНЫЕ ЗАВИСИМОСТИ	5
ГРАФИЧЕСКОЕ ОБОЗНАЧЕНИЕ И НАЗНАЧЕНИЕ ВЫВОДОВ.....	11
ТИПОВАЯ СХЕМА ВКЛЮЧЕНИЯ	12
ГАБАРИТНЫЙ ЧЕРТЕЖ КОРПУСА	13
РЕКОМЕНДАЦИИ ПО ПРИМЕНЕНИЮ	13
РЕКОМЕНДАЦИИ ПО ПАЙКЕ	13
ОБЩЕЕ ОПИСАНИЕ.....	14
ТРАКТ ОПОРНОЙ ЧАСТОТЫ	16
ПЕТЛЕВОЙ ДЕЛИТЕЛЬ ЧАСТОТЫ.....	16
ФАЗОВЫЙ ДЕТЕКТОР И ЗАРЯДНО-РАЗРЯДНЫЙ БЛОК	17
ТОК СМЕЩЕНИЯ ЗАРЯДНО-РАЗРЯДНОГО БЛОКА	18
ГЕНЕРАТОР, УПРАВЛЯЕМЫЙ НАПРЯЖЕНИЕМ	19
СХЕМА АВТОМАТИЧЕСКОЙ УСТАНОВКИ ГУН.....	19
РАБОТА БЕЗ АВТОКАЛИБРОВКИ.....	20
ВЫХОДЫ RF, CMOS, LVDS, РАБОТА С ВЫХОДНЫМИ ДЕЛИТЕЛЯМИ ЧАСТОТЫ	21
ДЕТЕКТОР ЗАХВАТА ЧАСТОТЫ	22
УНИВЕРСАЛЬНЫЙ ВЫХОД MUXOUT	23
ВРЕМЯ ПЕРЕСТРОЙКИ ЧАСТОТЫ ФАПЧ, ФУНКЦИЯ CSR	24
ФУНКЦИЯ БЫСТРОГО ЗАХВАТА ЧАСТОТЫ	28
ОТКЛЮЧЕНИЕ БУФЕРОВ ВЫХОДНОГО СИГНАЛА.....	29
ВЫБОР ОПТИМАЛЬНОГО ЗНАЧЕНИЯ ПОЛОСЫ ПРОПУСКАНИЯ ФАПЧ.....	29
ФАЗОВЫЙ ШУМ И ПАРАЗИТНЫЕ СОСТАВЛЯЮЩИЕ СПЕКТРА ВЫХОДНОГО СИГНАЛА	31
ФУНКЦИЯ УПРАВЛЕНИЯ ФАЗОЙ ВЫХОДНОГО СИГНАЛА	31
ТОК ПОТРЕБЛЕНИЯ В РАЗЛИЧНЫХ РЕЖИМАХ РАБОТЫ	32
ВКЛЮЧЕНИЕ И НАЧАЛЬНОЕ СОСТОЯНИЕ	33
ЗАПИСЬ РЕГИСТРОВ УПРАВЛЕНИЯ	34
ЧТЕНИЕ ВНУТРЕННИХ РЕГИСТРОВ СОСТОЯНИЯ	35
КАРТА РЕГИСТРОВ SPI-ИНТЕРФЕЙСА.....	35
МЕТОДИКА РАСЧЕТА ПЕТЛЕВОГО ФИЛЬТРА.....	42

ИСТОРИЯ ИЗМЕНЕНИЙ

04/2024 – Вер.А: предварительные результаты.

- внесены изменения по оформлению;
- уточнены результаты измерений.